

[print out](#)

Patent/Publication No. 515081

Title A semiconductor integrated circuit device and a method of manufacturing the same utilizing micro bumps to connect devices formed on different substrate material

Publication Date 2002/12/21

Application Date 2001/04/17

Application No. 090109172

Certification_Number 168808

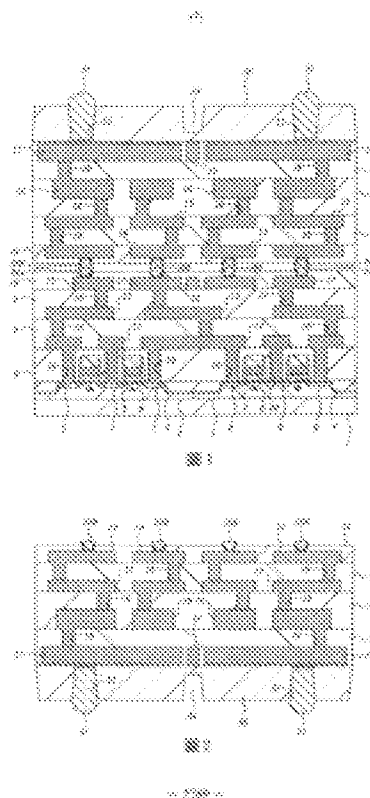
IPC H01L-027/00

Inventor KUBO, MASAHARU JP;
ANJO, ICHIRO JP;
NAGAI, AKIRA JP;
KUBO, OSAMU JP;
ABE, HIROMI+ JP

Applicant HITACHI LTD. JP

Priority Number 20000420 | JP20000120131

Abstract A CMOS logic LSI is provided. Its n-channel MISFET (Qn), p-channel MISFET (Qp), first (11) to third (13) distributed line layers are formed on a silicon substrate (1). The other part, forth (14) to seventh (17) distributed line layers are formed on the glass substrate (30) different from the silicon substrate (1). Via the face-to-face deployment of the silicon substrate (1) and the glass substrate (30),



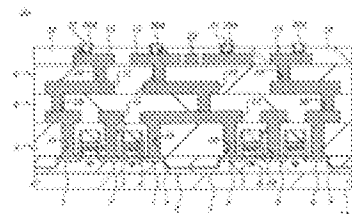
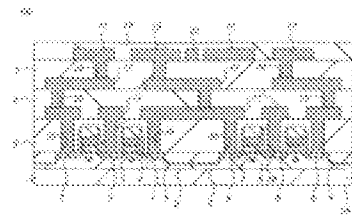
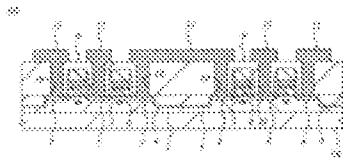
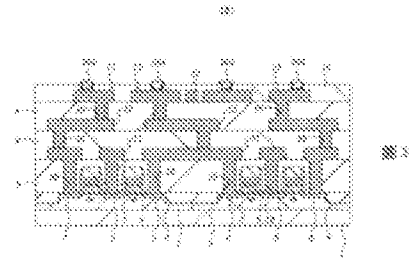
electrically connect several micro bumps (20A) on the top of the silicon substrate (1) with several micro bumps (20B) on the top of the glass substrate (30) to construct the whole CMOS logic LSI.

Individual

F

Patent Right Change

Application Number	090109172
Date of Update	20090827
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20021221
Patent expiry date	20210416
Maintenance fee due	20091220
Years of annuity paid	007



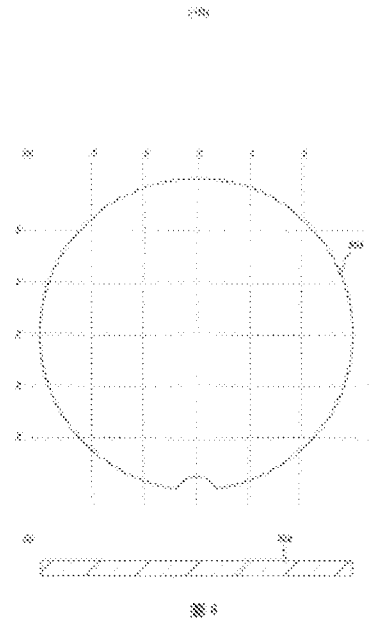


FIG. 7

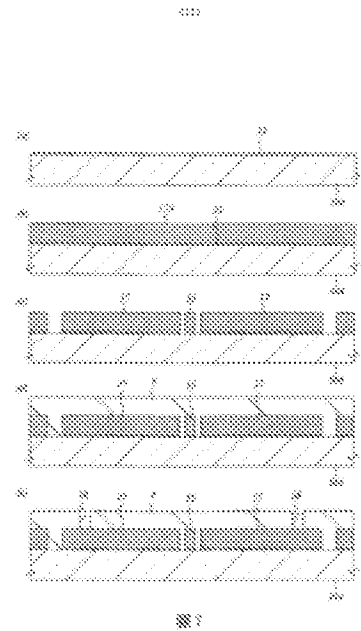
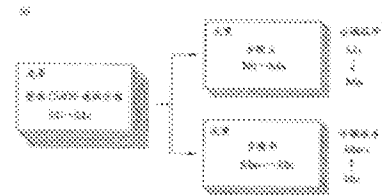
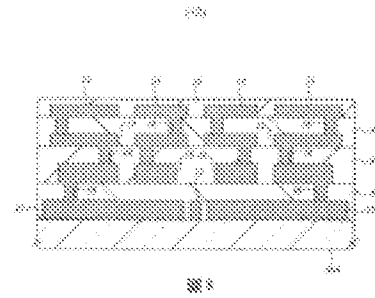
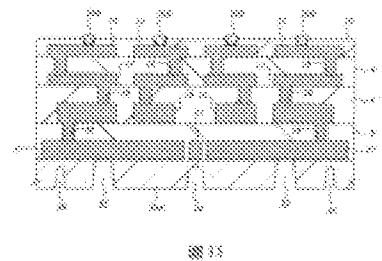
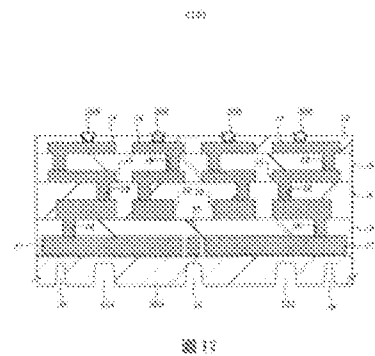


FIG. 8

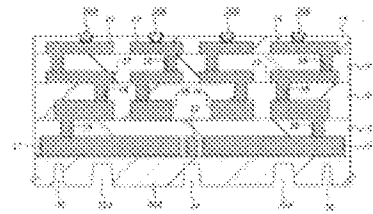


•••••

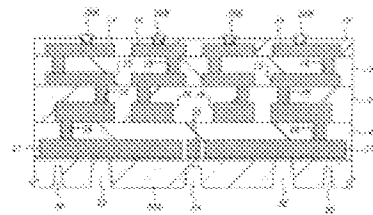


Chemical structure of 1,3-bis(4-methoxyphenyl)-2-methyl-2-butene, showing a central carbon-carbon double bond with two methyl groups and two 4-methoxyphenyl groups attached.

274



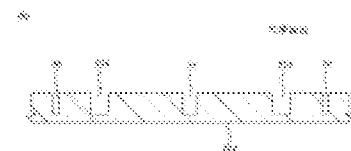
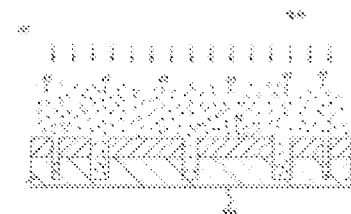
12



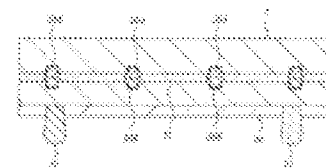
13

~ 275 ~

275



14



15

~ 276 ~

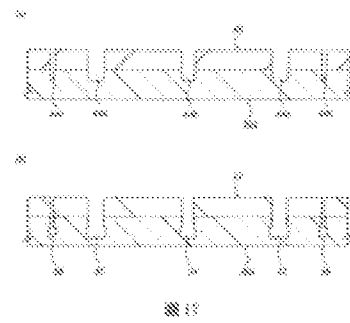
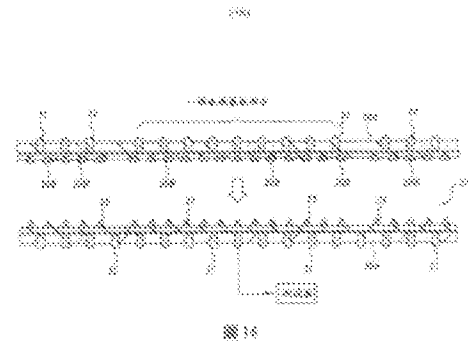


FIG. 17

FIG. 17

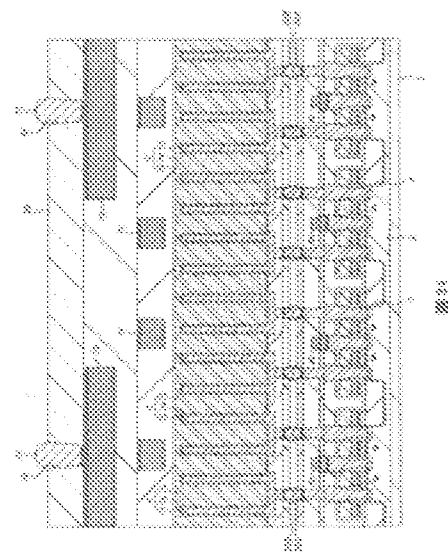
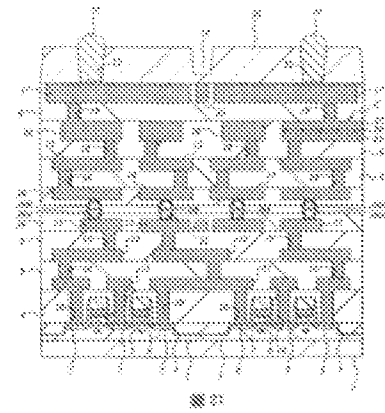
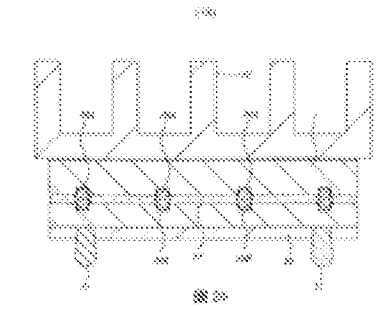
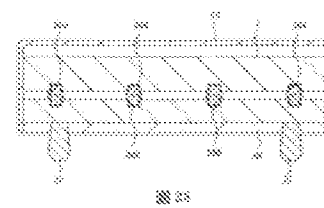
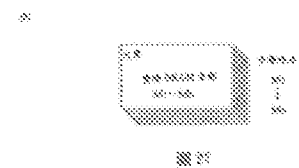
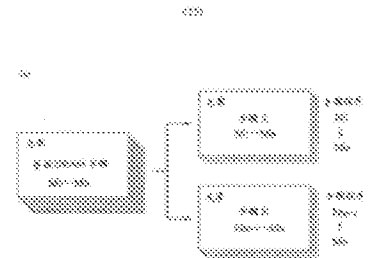


FIG. 18



— — — — —



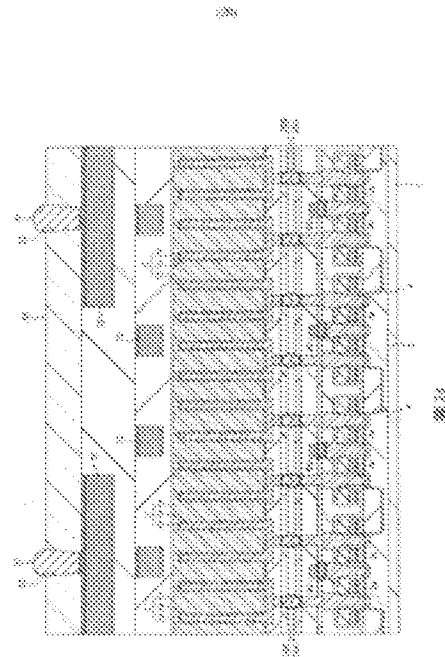


Fig. 23

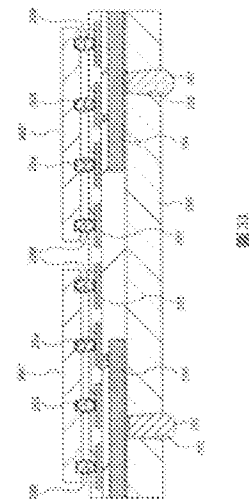


Fig. 24

圖 22

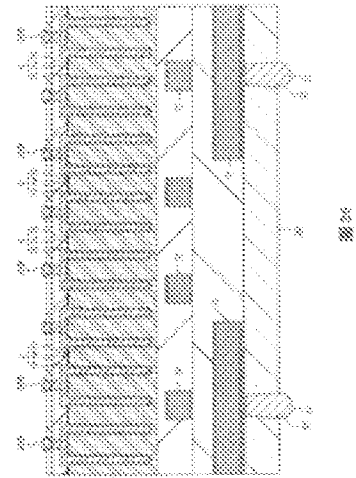


圖 23a

圖 23b

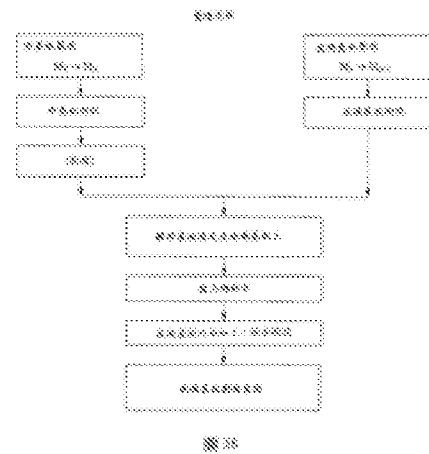


圖 23c

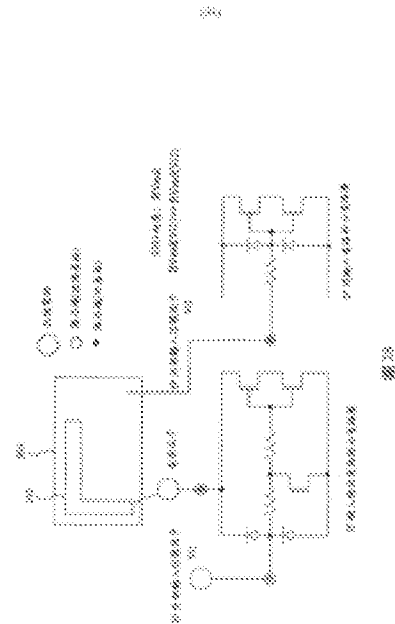


Fig. 3

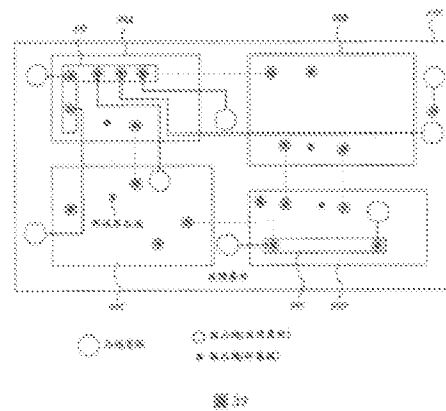


Fig. 4

公告本

91年3月15日修正/更正/補充

申請日期	90.4.17
案 號	90109172
類 別	H01L 27/00

A4

C4

中文說明書修正本(91年3月)

(以上各欄由本局填註)

發 明 專 利 說 明 書		515081
一、發明 新型名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A METHOD OF MANUFACTURING THE SAME
二、發明 創作人	姓 名	1.久保 征治 2.安生 一郎 3.永井 晃
	國 籍	1-3均日本
	住、居所	1-3均日本國東京都千代田區丸之內一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	
	英 文	
二、發明人 創作人	姓 名	4.久保 理 5.阿部 宏美 6.赤嶺 均
	國 籍	4-6均日本
	住、居所	4-6均日本國東京都千代田區丸之內一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內
三、申請人	姓 名 (名 稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年04月20日 特願2000-120131 ☒有 ☐無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

本發明之CMOS邏輯LSI，其一部分之n通道型MISFET(Qn)、p通道型MISFET(Qp)及第一層配線(11)~第三層配線(13)形成在矽基板(1)的主面上，另外部分之第四層配線(14)~第七層配線(17)形成在與矽基板(1)相異之玻璃基板(30)的主面上。藉由矽基板(1)的主面與玻璃基板(30)的主面對配置，電性連接形成於矽基板(1)最上部的數個微凸塊(Micro Bump)(20A)及形成於玻璃基板(30)最上部的數個微凸塊(20B)，來構成整個CMOS邏輯LSI。

英文發明摘要（發明之名稱：A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A METHOD OF MANUFACTURING THE SAME）

CMOSロジックLSIは、その一部であるnチャネル型MISFET(Qn)、pチャネル型MISFET(Qp)および第1層配線(11)~第3層配線(13)がシリコン基板(1)の主面上に形成され、他の一部である第4層配線(14)~第7層配線(17)がシリコン基板(1)とは異なるガラス基板(30)の主面上に形成されている。そして、シリコン基板(1)の主面とガラス基板(30)の主面とが対向して配置され、シリコン基板(1)の最上部に形成された複数のマイクロバンプ(20A)と、ガラス基板(30)の最上部に形成された複数のマイクロバンプ(20B)とが電氣的に接続されることによって、CMOSロジックLSIの全体が構成されている。

五、發明說明(1)

技術領域

本發明係有關半導體積體電路裝置及其製造技術，尤其是有關適用於形成在積體電路之一部分與另外部分不同之基板上之半導體積體電路裝置的有效技術。

背景技術

過去，LSI藉由隨光刻技術進步而發展的比例描繪(收縮)，可以實現電路的高基體化及晶片尺寸的縮小。

但是最近受到元件實體性限制與光刻的限制，很難或無法以先前的速度發展比例描繪(收縮)，又因製造半導體元件之基礎的單結晶矽基板表面非常貴重，因此多傾向於在矽基板上堆積元件及配線。

此外，最近如混載記憶體LSI與邏輯LSI的系統LSI，也隨LSI的高基體化、高功能化，只有造成製造程序更加複雜化與步驟數量增加。

發明的揭示

然而，製造程序複雜化與步驟數量增加，也必然造成不合格率的增加，降低製品的製造成品率。此外，也延長了完成製品所需時間(TAT; Turn Around Time)，因製造線上的處理步驟增加，而導致損益性的風險增加。

因而，最近LSI的製造程序面臨了延長先前製造程序仍無法解決的困難，如何開發出新的程序可以實現提高製造成品率及縮短TAT，乃成為最重要的課題。

本發明之目的，即在提供一種提高LSI製造成品率的技術。

五、發明說明(2)

本發明之其他目的，即在提供一種縮短LSI開發時間(TAT)的技術。

本發明之其他目的，即在提供一種降低LSI製造成本的技術。

本發明之上述及其他目的與新特徵，從本說明書內容及附圖即可瞭解。

本專利申請所揭示之發明的主要內容概要簡單說明如下。

(1)本發明之半導體積體電路裝置具有積體電路，其包含數個半導體元件及形成在數個配線層上的數條配線，

上述積體電路的一部分形成在第一基板的主面上，上述積體電路的另外部分形成在第二基板的主面上，

上述第一基板與上述第二基板的各主面對配置，上述積體電路的一部分與另外部分經由形成在上述第一基板主面上之數個第一連接端子與形成在上述第二基板主面上之數個第二連接端子電性連接。

(2)本發明之半導體積體電路裝置的製造方法包含以下步驟：

(a)分割步驟，其係將製造積體電路的數個步驟分割成第一步驟群與第二步驟群；

(b)積體電路形成步驟，其係將上述第一步驟群所形成之上述積體電路的一部分形成在第一基板的主面上，以上述第二步驟群所形成之上述積體電路的另外部分形成在第二基板的主面上；

五、發明說明(3)

(c)連接端子形成步驟，其係在形成有上述積體電路一部分之上述第一基板的主面上形成數個第一連接端子，在形成有上述積體電路另外部分之上述第二基板的主面上形成數個第二連接端子；及

(d)電性連接步驟，其係經由上述第一連接端子與上述第二連接端子，電性連接形成有上述積體電路之一部分的上述第一基板與形成有上述積體電路之另外部分的上述第二基板。

圖式之簡要說明

圖1為本發明第一種實施形態之半導體積體電路裝置的重要部分剖面圖。

圖2為圖1所示之半導體積體電路裝置一部分的玻璃基板重要部分剖面圖。

圖3為圖1所示之半導體積體電路裝置另外部分的矽基板重要部分剖面圖。

圖4(a)~(c)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的矽基板重要部分剖面圖。

圖5(a)、(b)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的矽基板重要部分剖面圖。

圖6(a)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板平面圖，(b)為其剖面圖。

圖7(a)~(e)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖8為顯示本發明第一種實施形態之半導體積體電路裝置

五、發明說明(4)

製造方法的玻璃板重要部分剖面圖。

圖9(a)為本發明第一種實施形態之半導體積體電路裝置製造方法的概念圖，(b)為先前製造方法的概念圖。

圖10為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖11為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖12為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖13為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖14為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖15為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖17(a)、(b)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖18(a)、(b)為顯示本發明第一種實施形態之半導體積體電路裝置製造方法的玻璃板重要部分剖面圖。

圖19為本發明第一種實施形態之半導體積體電路裝置封裝在封裝體內的剖面圖。

圖20為本發明第一種實施形態之半導體積體電路裝置封裝在封裝體內的剖面圖。

圖21為本發明第二種實施形態之半導體積體電路裝置的

五、發明說明(5)

重要部分剖面圖。

圖22為本發明使用除電裝置一種範例的說明圖。

圖23為本發明使用除電裝置另外範例的說明圖。

圖24為本發明第三種實施形態之半導體積體電路裝置的重要部分剖面圖。

圖25為圖24所示之半導體積體電路裝置一部分之矽基板的重要部分剖面圖。

圖26為圖24所示之半導體積體電路裝置另外部分之玻璃基板的重要部分剖面圖。

圖27(a)為本發明第一種實施形態之半導體積體電路裝置製造方法的概念圖，(b)為先前製造方法的概念圖。

圖28為本發明第三種實施形態之半導體積體電路裝置封裝在封裝體內的剖面圖。

圖29為本發明第四種實施形態之半導體積體電路裝置的重要部分剖面圖。

圖30為圖29所示之半導體積體電路裝置一部分之矽基板的重要部分剖面圖。

圖31為圖29所示之半導體積體電路裝置另外部分之玻璃基板的重要部分剖面圖。

圖32為本發明第五種實施形態之半導體積體電路裝置的概略平面圖。

圖33為沿圖32之A-A線的剖面圖。

圖34為本發明第五種實施形態之半導體積體電路裝置的設計流程圖。

五、發明說明(6)

圖35為本發明第五種實施形態之半導體積體電路裝置製造方法的概念圖。

圖36為本發明第五種實施形態之半導體積體電路裝置的製造流程圖。

圖37為本發明第五種實施形態之半導體積體電路裝置之輸出輸入電路一種範例的平面圖。

圖38為形成圖37所示之輸出輸入電路的保護電路說明圖。

圖39為本發明第五種實施形態之半導體積體電路裝置之輸出輸入電路另外範例的平面圖。

圖40為本發明其他實施形態之半導體積體電路裝置的重要部分剖面圖。

用於實施發明的最佳形態

以下，參照圖式詳細說明本發明的實施形態。而用於說明實施形態的所有圖式中，具有相同功能者註記相同符號，並省略其重複說明。

第一種實施形態

本實施形態之半導體積體電路裝置為具有七層配線的CMOS邏輯LSI，其重要部分剖面圖如圖1所示。以下係以七層配線層為例做說明，不過配線層數並不限定於七層。

例如，在由電阻率約為 10Ω 之單結晶矽構成之p型矽基板1的主面上形成有p型井2及n型井3。p型井2及n型井3的元件分離區域中形成有元件分離溝4。

p型井2的活性(Active)區域中形成有數個n通道型金屬絕

五、發明說明(7)

緣半導體場效電晶體(Metal Insulator Semiconductor Field Effect Transistor, MISFET) Qn，n型井3的活性區域中形成有數個p通道型MISFETQp。n通道型MISFETQn主要由閘極氧化膜5、閘極6及n型半導體區域(源極、汲極)7所構成，p通道型MISFETQp主要由閘極氧化膜5、閘極6及p型半導體區域(源極、汲極)8所構成。

n通道型MISFETQn及p通道型MISFETQp的上部，自下層起依序形成有第一層配線11、第二層配線12、第三層配線13、第四層配線14、第五層配線15、第六層配線16及第七層配線17。這七層配線11~17可由Al(鋁)合金、Cu(銅)、W(鎢)等金屬構成，第一層配線11~第五層配線15主要構成信號配線，第六層配線16及第七層配線主要構成電源配線及接地(GND)配線。

上述七層配線11~17中的第一層配線11，通過形成在氧化矽等構成之層間絕緣膜9上的通孔10，與n通道型MISFETQn或p通道型MISFETQp電性連接。此外，第一層配線11~第三層配線13則通過形成在層間絕緣膜9上之通孔10，相互電性連接。

於覆蓋第三層配線13的絕緣膜19上部形成有數個微凸塊(連接端子)20A。這些微凸塊20A係由直徑約5~100 μm 的Au凸塊或Sn凸塊等構成，並通過形成在絕緣膜19上的開孔(圖上未顯示)，與第三層配線13電性連接。

上述數個微凸塊20A分別與直徑同樣約為5~100 μm 之Au凸塊或Sn凸塊等構成的微凸塊(連接端子)20B接合。這些微

五、發明說明(8)

凸塊20B通過形成在絕緣膜19上的開孔(圖上未顯示)，與第四層配線14電性連接。亦即，第三層配線13與第四層配線14係經由微凸塊20A、20B電性連接。

第四層配線14~第七層配線17通過形成在層間絕緣膜9上的通孔18電性連接。第四層配線14~第七層配線17的線寬及配線間隔大於下層的第一層配線11~第三層配線13，例如，第一層配線11~第三層配線13的線寬及間隔分別為 $0.1\ \mu\text{m}$ ~ $1\ \mu\text{m}$ ，而第四層配線14~第七層配線17的線寬及間隔則分別為 $1.0\ \mu\text{m}$ ~ $30\ \mu\text{m}$ 。同樣的，相互連接第四層配線14~第七層配線17之通孔18的直徑也大於連接n通道型MISFETQn(或p通道型MISFETQp)與第一層配線11連接的通孔10及相互連接第一層配線11~第三層配線13之通孔10的直徑。

最上層配線的第七層配線17上部配置有玻璃基板30。該玻璃基板30的上面(背面)形成有構成CMOS邏輯LSI外部連接端子的數個凸塊電極31。這些凸塊電極31通過形成在玻璃基板30上的貫穿孔32，與第七層配線17電性連接。凸塊電極31以鉅錫構成，其融點低於電性連接第三層配線13與第四層配線14的上述微凸塊20A、20B，並具有大於微凸塊20A、20B，約達數百 μm 的直徑。此外，凸塊電極31的數量比電性連接第三層配線13與第四層配線14之微凸塊20A、20B的數量少。

圖2為在由上述n通道型MISFETQn及p通道型MISFETQp與七層配線11~17構成的CMOS邏輯LSI中，形成有第四層配線14~第七層配線17部分的重要部分剖面圖，圖3為形成有n通

五、發明說明(9)

道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線 11~第三層配線 13 部分的重要部分剖面圖。

如圖 2 及圖 3 所示，CMOS 邏輯 LSI 之一部分的 n 通道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線 11~第三層配線 13 形成在矽基板 1 的主面上，另外部分之第四層配線 14~第七層配線 17 則形成在與矽基板 1 不同之玻璃基板 30 的主面上。因而，形成在矽基板 1 最上部的數個微凸塊 20A 與形成在玻璃基板 30 最上部的數個微凸塊 20B，藉由如上述圖 1 所示重疊，並相互電性連接以構成整個 CMOS 邏輯 LSI。

藉由使用形成在矽基板 1 上的對準標記 22 與形成在玻璃基板 30 上的對準標記 33，來對齊形成在矽基板 1 上之微凸塊 20A 與形成在玻璃基板 30 上之微凸塊 20B 的位置。矽基板 1 的對準標記 22 係以配線材料構成，可在形成第三層配線 13 步驟的同時形成。同樣的，玻璃基板 30 的對準標記 33 也是以配線材料構成，可在形成第七層配線 17 步驟的同時形成。

在對準標記 22 與對準標記 33 的連線上，沒有形成配線(第四層配線 14~第六層配線 16)，以便可以從玻璃基板 30 的背面同時辨識兩個對準標記 22、33。此外，在玻璃基板 30 的背面形成有便於辨識對準標記 22、33 的開孔 34。該開孔 34 係在玻璃基板 30 上形成貫穿孔 32 步驟的同時形成。

其次，參照圖 4~圖 17 說明如上述構成之 CMOS 邏輯 LSI 的製造方法。

如上所述，本實施形態的 CMOS 邏輯 LSI，形成有其一部分(n 通道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線

五、發明說明(10)

11~第三層配線13)的矽基板1與形成有另外部分(第四層配線14~第七層配線17)的玻璃基板30重疊，兩者經由微凸塊20A、20B連接來構成整體。

因此，製造本實施形態的CMOS邏輯LSI時，係將其製造步驟分割成兩部分，分別在矽基板1與玻璃基板30上執行形成n通道型MISFETQn、p通道型MISFETQp及第一層配線11~第三層配線13的前半步驟，及形成第四層配線14~第七層配線17的後半步驟。

在矽基板1上形成n通道型MISFETQn、p通道型MISFETQp及第一層配線11~第三層配線13的前半步驟，係以一般所知的CMOS程序來達成。

具體而言，如圖4(a)所示，係在矽晶圓1A的主面上形成元件分離溝4，繼續形成p型井2及n型井3。元件分離溝4係藉由蝕刻矽晶圓1A所形成的溝內填入氧化矽等絕緣膜來形成。此外，p型井2係藉由在矽晶圓1A的一部分注入P(磷)離子來形成，n型井3係藉由在矽晶圓1A的另外部分注入B(硼)離子來形成。

其次，如圖4(b)所示，藉由熱處理矽晶圓1A，在p型井2及n型井3的表面上形成閘極氧化膜5後，在閘極氧化膜5的上部形成閘極6。閘極6係依次疊層摻雜P(磷)的低電阻多結晶矽膜、WN(氮化鎢)膜及W(鎢)膜等三層導電膜而構成。繼續藉由在p型井2內注入P(磷)或As(砷)離子，來形成n型半導體區域(源極、汲極)7，藉由在n型井3內注入B(硼)離子來形成p型半導體區域(源極、汲極)8。以前述的步驟在p型井

五、發明說明 (11)

2 內形成 n 通道型 MISFETQ_n，在 n 型井 3 內形成 p 通道型 MISFETQ_p。

其次，如圖 4(c) 所示，在 n 通道型 MISFETQ_n 及 p 通道型 MISFETQ_p 的上部形成層間絕緣膜 9，繼續藉由將光阻膜作為遮光罩，乾式蝕刻層間絕緣膜 9，在 n 型半導體區域(源極、汲極) 7 及 p 型半導體區域(源極、汲極) 8 的上部形成通孔 10 後，在層間絕緣膜 9 的上部形成第一層配線 11。層間絕緣膜 9 係以 CVD 法堆積氧化矽膜來形成。此外，第一層配線 11 則係以濺射法在層間絕緣膜 9 的上部堆積 W、Al 合金或 Cu 等金屬膜後，藉由以光阻膜作為遮光罩的乾式蝕刻，繪製該金屬膜圖案來形成。

其次，如圖 5(a) 所示，藉由重複實施上述圖 4(c) 所示的步驟，依次形成第二層配線 12 及第三層配線 13 後，在第三層配線 13 的上部形成絕緣膜 19。絕緣膜 19 係藉由以 CVD 法堆積氧化矽膜及氮化矽膜或以塗敷法堆積 Polyimide 膜等來構成。另外於形成第三層配線 13 步驟的同時，也形成對準標記 22。

其次，如圖 5(b) 所示，藉由將光阻膜作為遮光罩，乾式蝕刻絕緣膜 19，在第三層配線 13 的上部形成數個開孔(圖上未顯示)，繼續於這些開孔的內部形成阻擋金屬層 21 後，在阻擋金屬層 21 的上部形成微凸塊 20A。阻擋金屬層 21 係藉由以濺射法在包含開孔內部的絕緣膜 19 上堆積 Cr 膜及 Ni 膜，繼續進行以光阻膜作為遮光罩的乾式蝕刻，除去絕緣膜 19 上多餘的 Cr 膜及 Ni 膜來形成。此外，微凸塊 20A 係以濺射法或

五、發明說明(12)

電鍍法在包含阻擋金屬層21上部的絕緣膜19上堆積Au膜(或Sn膜)，繼續進行以光阻膜作為遮光罩的乾式蝕刻，除去絕緣膜19上多餘的Au膜(或Sn膜)來形成。

繼續，將探針放在微凸塊20A上進行電特性測試後，藉由切割矽晶圓1A，分割成數個矽基板(晶片)1，獲得上述圖3所示的矽基板1。

因而，本實施形態的製造方法，係在矽晶圓1A上形成n通道型MISFETQn、p通道型MISFETQp及第一層配線11~第三層配線13後，亦即，係在矽晶圓1A上執行整個CMOS程序約一半步驟的階段，將探針放在微凸塊20A上進行電特性測試。由於採用該方法可以比在整個CMOS程序完成後的階段進行電特性測試，更早鑑別合格品與不合格品，因此可以大幅提昇CMOS邏輯LSI的製造成品率，降低其製造成本。

此外，因藉由將探針放在數量多於外部連接端子之微凸塊20A上進行電特性測試的精度，可以比將探針放在錫墊等外部連接端子進行電特性測試更高，因此可以大幅縮小或刪除形成在矽基板1上之填入測試電路(圖上未顯示)的面積。藉此，由於可以縮小矽基板1的尺寸，因此，除自矽晶圓1A取得之矽基板1的數量增加之外，還可以提高製造成品率，降低CMOS邏輯LSI的製造成本。

此外，因藉由將探針放在微凸塊20A上進行電特性測試，可以大幅縮短測試圖案的长度，因此可以縮短電特性測試所需時間，以提高測試步驟的效率。

提高使用微凸塊20A進行電特性檢查精度的方法，也可以

五、發明說明(13)

在矽基板1的最上部另外形成與玻璃基板30之微凸塊20B不連接的檢查專用微凸塊20A。此時，矽基板1的微凸塊20A數量多於玻璃基板30的微凸塊20B數量。

另外，在玻璃基板30上形成第四層配線14~第七層配線17的後半部步驟，係使用在矽晶圓1A上形成半導體元件及下層配線之前半部步驟不同的製造線來執行，並與前半部步驟同時進行。在前半部步驟中使用的部分製造設備也在後半部步驟中使用。

如圖6(a)、(b)所示，後半部步驟係使用玻璃板30A。該玻璃板30A，以虛線顯示之劃線S所劃分的矩形區域，即相當於玻璃基板30的一個部分，在後述之製造步驟的最後階段，沿著劃線S切割玻璃板30A，分割成許多玻璃基板30。雖然也可以使用矩形的玻璃板30A，不過如圖6(a)所示，若形成與矽晶圓相同的圓盤(Disk)狀，比較便於矽晶圓的製造線處理。

玻璃板30A可以由使用在TFT液晶用基板等上的無鹼性玻璃(組成： $\text{SiO}_2/\text{B}_2\text{O}_3/\text{Al}_2\text{O}_3/\text{RO}$ (鹼土類金屬氧化物)=50~60/5~15/10~15/15~25(重量%)，應變點：600~700℃，熱膨脹率：3.5~5.0 ppm/k來構成，其厚度約為0.5 mm。

由於無鹼性玻璃的翹曲及尺寸變動小，因此可以使用光刻技術在玻璃板30A的主面上形成尺寸精度高的微細配線、通孔及微凸塊等。此外，又因無鹼性玻璃的價格比矽低，因此與在矽晶圓上形成第四層配線14~第七層配線17時相比，可以降低CMOS邏輯LSI的製造成本。此外，一般的玻

五、發明說明 (14)

璃還具有絕緣性優於矽及無渦電流損失等的優點。

玻璃板30A的材料並不限定於上述的無鹼性玻璃，也可以使用一般使用在半導體感測器等之透明玻璃部分上的硼矽酸玻璃。由於硼矽酸玻璃含有數個%的鹼成分(無鹼性玻璃為0.1重量%以下)，因此，在使用時固然需要考慮對元件之電特性的影響，不過由於其翹曲及尺寸變動與無鹼性玻璃同樣小，因此適於使用光刻技術來形成微細的圖案。此外，由於硼矽酸玻璃的價格約為無鹼性玻璃的1/3~1/5，因此更能降低CMOS邏輯LSI的製造成本。

有關翹曲及尺寸變動小，不含鹼成分的玻璃材料，雖然也可以使用石英玻璃，不過其缺點是價格高於無鹼性玻璃。另外，雖然鈉鈣玻璃的價格低於硼矽酸玻璃，不過，因顧慮其鹼成分含量高，且元件的電特性會改變，因此不適宜。此外，雖然也可以使用矽晶圓來取代玻璃，不過如前述的，其缺點是製造成本比使用玻璃高。

另外，由於玻璃內所含的鹼成分容易自其表面滲出，因此，經過一段時間，玻璃基板30表面的鹼濃度可能升高。其因應之道，宜採用以CVD法等玻璃板30A的表面塗層氮化矽膜，來阻擋鹼成分的方法。

使用上述玻璃板30A，形成第四層配線14~第七層配線17時，如圖7(a)所示，係在玻璃板30A的主面上形成用於增強玻璃與配線材料之黏合力的黏合層35。黏合層35可以濺射法堆積之TiN(氮化鈦)膜及TiW(鎢化鈦)膜等來構成。

其次，如圖7(b)所示，以濺射法在黏合層35的上部堆積Al

五、發明說明 (15)

合金膜17A後，如圖7(c)所示，藉由將光阻膜作為遮光罩的乾式蝕刻，繪製Al合金膜17A圖案，來形成第七層配線17及對準標記33。

其次，如圖7(d)所示，在第七層配線17的上部形成層間絕緣膜9後，如圖7(e)所示，藉由將光阻膜作為遮光罩來乾式蝕刻層間絕緣膜9，在第七層配線17的上部形成通孔8。層間絕緣膜9係以CVD法堆積之氧化矽膜及塗敷法堆積之Polyimide膜等構成。

其次，如圖8所示，藉由重複執行上述圖7(b)~圖7(e)所示的步驟，依次形成第六層配線16、第五層配線15及第四層配線14後，在第四層配線14的上部形成絕緣膜19。絕緣膜19係以CVD法堆積之氧化矽膜、氮化矽膜或塗敷法堆積之Polyimide膜等構成。

形成在玻璃板30A上之第七層配線17~第四層配線14的線寬及配線間隔，如上所述，大於形成在矽晶圓1A上之第一層配線11~第三層配線13的線寬及配線間隔。同樣的，形成在玻璃板30A上的通孔18直徑也大於形成在矽晶圓1A上的通孔10直徑。

因而，本實施形態的製造方法，係在矽晶圓1A上形成寬度狹小且微細的配線(第一層配線11~第三層配線13)及直徑小的通孔10，而在玻璃板30A上則形成較寬的配線(第四層配線14~第七層配線17)及直徑大的通孔18。藉此，由於可以縮小矽基板1的尺寸，因此，除可自矽晶圓1A取得較多的矽基板1之外，還可以提高製造成品率，降低CMOS邏輯LSI

五、發明說明 (16)

的製造成本。

此外，本實施形態的製造方法係與一般程序相反的順序形成第四層配線14~第七層配線17。亦即，一般的CMOS程序，係在n通道型MISFETQn及p通道型MISFETQp的上部依次形成第一層配線11~第三層配線13後，再於第三層配線13的上部依次形成第四層配線14、第五層配線15、第六層配線16及第七層配線17。而本實施形態的製造方法，則係在玻璃板30A上首先形成第七層配線17作為最上層配線，繼續於其上部依次形成第六層配線16、第五層配線15及第四層配線14。

圖9(a)為此種實施形態之製造方法的概念圖，圖9(b)為先前之製造方法的概念圖。圖上以一片光罩表示一個步驟，以數片光罩重疊來表示數個連續步驟。

本實施形態的製造方法，首先係將整個晶圓處理的步驟($M_0 \sim M_n$)分割成前半部步驟A ($M_0 \sim M_m$)與後半部步驟B ($M_{m+1} \sim M_n$)，前半部步驟A ($M_0 \sim M_m$)係在第一基板(此處係指矽晶圓1A)上按照一般程序($M_0 \rightarrow M_m$)執行，後半部步驟B ($M_{m+1} \sim M_n$)則係在第二基板(此處係指玻璃板30A)上以與一般程序相反的程序($M_n \rightarrow M_{m+1}$)來執行。以該後半部步驟B ($M_{m+1} \sim M_n$)在第二基板上複製光罩的電路圖案時，係使用以一般程序執行後半部步驟B ($M_{m+1} \sim M_n$)時使用之光罩圖案倒置180°的光罩。

繼續，在步驟A ($M_0 \rightarrow M_m$)的最後階段進行電特性測試，抽出合格的第一基板，在步驟B ($M_n \rightarrow M_{m+1}$)的最後階段進行

五、發明說明 (17)

電特性測試，抽出合格的第二基板後，經由連接端子(此處係指微凸塊20A，20B)電性連接合格的第一基板與合格的第二基板，完成整個晶圓處理的步驟($M_0 \sim M_n$)來獲得LSI。

採用上述的製造方法，由於可使用兩條製造線同時進行前半部步驟A ($M_0 \rightarrow M_m$)及後半部步驟B ($M_n \rightarrow M_{m+1}$)，因此比在單一的基板上執行整個步驟($M_0 \sim M_n$)，最多可縮減一半完成製品所需時間(TAT; Turn Around Time)。

此外，藉由分別在第一基板與第二基板執行前半部步驟A ($M_0 \sim M_m$)及後半部步驟B ($M_{m+1} \sim M_n$)，各基板上執行的步驟數量要比在單一基板上執行整個步驟($M_0 \sim M_n$)幾乎減少一半。因此可大幅降低隨步驟數量的增加而累積增加的不合格率，可大幅提高製品的製造成品率。

此外，前半部步驟A ($M_0 \sim M_m$)及後半部步驟B ($M_{m+1} \sim M_n$)採用不同的設計原則，例如，以前半部步驟A ($M_0 \sim M_m$)在第一基板上形成微細圖案，以後半部步驟B ($M_{m+1} \sim M_n$)在第二基板上形成寬圖案。藉此，不能使用形成微細圖案之前半部步驟A ($M_0 \sim M_m$)的第一代至數代之前的製造設備，可以在形成寬圖案的後半部步驟B ($M_{m+1} \sim M_n$)再利用，因此可以降低轉嫁到每一個製品的製造設備價格償還費，可以降低製品的製造成本。

再者，由於本實施形態的製造方法係在矽基板1上形成七層配線11~17的一部分(第一層配線11~第三層配線13)，而另外部分則是在玻璃基板30上形成，因此，各個基板1、30上形成的配線層數，約為在單一基板上形成七層配線11~17

五、發明說明 (18)

的一半。藉此可以緩和隨配線層增加而累積增加的底層梯階差，以提高配線形成步驟的成品率及上下配線間的連接可靠性。因而，在層間絕緣膜上形成之溝槽內部填入配線材料後，不需要再以化學機械研磨 (Chemical Mechanical Polishing, CMP) 法除去殘留在層間絕緣膜上的多餘配線材料來形成填入配線的處理，亦即，不需要採用金屬鑲嵌 (Damascene) 處理等複雜且昂貴的配線形成處理。

其次，如圖 10 所示，藉由以光阻膜作為遮光罩來乾式蝕刻絕緣膜 19，在第四層配線 14 的上部形成開孔 (圖上未顯示)，繼續在開孔的內部形成阻擋金屬層 21。阻擋金屬層 21 可以蒸鍍法或濺射法在包含開孔內部的絕緣膜 19 上堆積 Cr 膜及 Ni 膜，繼續以光阻膜作為遮光罩的乾式蝕刻除去絕緣膜 19 上多餘的 Cr 膜及 Ni 膜來形成。

其次，如圖 11 所示，在阻擋金屬層 21 的上部形成微凸塊 20B。微凸塊 20B 可以蒸鍍法、濺射法或電鍍法等包含阻擋金屬層 21 上部的絕緣膜 19 上堆積 Au 膜 (或 Sn 膜)，繼續以光阻膜作為遮光罩的乾式蝕刻除去絕緣膜 19 上多餘的 Au 膜 (或 Sn 膜) 來形成。

玻璃板 30A 上的配線 (第四層配線 14~第七層配線 17) 也可以由濺射法所堆積的 W 膜及電鍍法所形成的 Cu 膜來構成。使用以電鍍法形成之 Cu 膜作為配線材料時，玻璃板 30A 與第七層配線 17 間形成的黏合層 35 上，係使用以濺射法堆積的 TiN (氮化鈦) 膜及 Cr 膜。此外，也可以上層配線與下層配線分採不同金屬材料的構成。

五、發明說明 (19)

以上述的步驟在玻璃板30A上形成第四層配線14~第七層配線17及微凸塊20B。繼續採用如下的方法進行玻璃板30A的背面加工，形成構成CMOS邏輯LSI之外部連接端子的凸塊電極31。

首先，如圖12所示，使用含氟酸的蝕刻液，將玻璃板30A的背面(底面)濕式蝕刻約板厚的一半，在以後的步驟中，於連接有凸塊電極31的區域內形成開孔32A。並與此同時在對準標記33正下方的玻璃板30A上形成開孔34，在劃線區域的玻璃板30A上形成劃線導引(Scribe Guide) 36。

濕式蝕刻玻璃板30A的背面時，除了形成有開孔32A、34及劃線導引36的區域之外，先以光阻膜等覆蓋玻璃板30A的背面。此外，形成有為凸塊20B及配線(第四層配線14~第七層配線17)的玻璃板30A的主面上也宜預先以光阻膜、覆蓋膜及經紫外線照射而產生剝離的UV膜等覆蓋。

其次，如圖13所示，再度濕式蝕刻開孔32A內部的玻璃板30A形成深達第七層配線17的貫穿孔32。進行該濕式蝕刻時，除形成貫穿孔32的區域之外，先以光阻膜等覆蓋玻璃板30A的背面。此外，玻璃板30A的主面也事先以光阻膜、覆蓋膜及UV膜等覆蓋。

其次，如圖14所示，在貫穿孔32的底部形成阻擋金屬層37後，在貫穿孔32的內部形成凸塊電極31。阻擋金屬層37可採蒸鍍法或濺射法，在包含貫穿孔32內部的玻璃板30A的背面堆積Cr膜、Ni膜及Au膜，繼續以將光阻膜作為遮光罩的乾式蝕刻或濕式蝕刻除去多餘的Cr膜、Ni膜及Au膜來形

五、發明說明(20)

成。阻擋金屬層37也可以形成覆蓋整個貫穿孔32的內壁。

此外，凸塊電極31係以融點低於微凸塊20A、20B的共晶銲錫(Pb37/Sn63: 183°C)及低溫銲錫(Sn17/Bi57/In26: 78.9°C)等來構成，以銲錫球供應法及篩網印刷法圓滑熱處理供應至貫穿孔32內部的銲錫來形成。凸塊電極31的形狀並不限定於球狀，也可以採圓狀。

其次，將探針放在微凸塊20B上進行電特性測試後，沿著劃線S(參照圖6)切割玻璃板30A，藉由分割成數個玻璃基板30，獲得上述圖2所示的玻璃基板30。

由於玻璃板30A的切割步驟，係在玻璃板30A的劃線S上形成有上述的劃線導引36，因此方便進行切割，可以抑制切割時玻璃板30A產生瑕疵及毛頭。此外，如圖15所示的，藉由事先在位於劃線S交叉點的玻璃板30A上形成直徑大於劃線導引36的圓孔38等，則更方便進行切割。該圓孔38係在以濕式蝕刻形成劃線導引36步驟的同時形成。

將探針放在微凸塊20B上進行電特性測試時，也可以如圖16所示的，使用在玻璃板30的主面上形成探針電路(圖上未顯示)及由Ni等硬質金屬構成之凸狀接觸部23，在背面形成連接測試器之凸塊電極31的探測器24。該探測器24也可以使用於測試上述矽晶圓1A的電特性。

將玻璃板30A的背面實施濕式蝕刻來形成開孔32A、34及劃線導引22的步驟(參照圖12)，也可以分成兩次實施濕式蝕刻。此時，首先如圖17(a)所示的，以光阻膜40作為遮光罩的濕式蝕刻，在玻璃板30A上形成淺溝44a，44b，44c。繼

五、發明說明(21)

續如圖17(b)所示，將覆蓋溝44a，44b，44c側壁的第二光阻膜41作為遮光罩，再度濕式蝕刻溝44a，44b，44c底部的玻璃板30A來形成開孔32A、34及劃線導引36。

採用上述方法雖然增加步驟，不過係在以光阻膜41覆蓋溝44a，44b，44c側壁的狀態下進行第二濕式蝕刻，因此，開孔32A、34及劃線導引36內部之玻璃的側面蝕刻量減少，可以精度良好的微細尺寸形成貫穿孔32、開孔34及劃線導引36。

玻璃板30A的背面加工，也可以同時實施乾式蝕刻及濕式蝕刻。此時，首先以光阻膜作為遮光罩的乾式蝕刻，在玻璃板30A上形成淺溝，繼續以該光阻膜作為遮光罩的濕式蝕刻再度蝕刻玻璃板30A。採用該方法與濕式蝕刻相比效率雖低，不過可以在各向異性高的乾式蝕刻形成淺溝後，再濕式蝕刻溝內部的玻璃，因此可以精度良好的微細尺寸來形成貫穿孔32、開孔34及劃線導引36，且效率降低極小。

玻璃板30A的背面加工也可以使用雷射來進行。雷射光源係使用具有玻璃可吸收波長(約10.6 μm)之光源的碳酸氣雷射。

玻璃板30A的背面加工，也可以使用在玻璃基板上高壓噴吹鋁等研磨劑的噴砂法來實施。該方法如圖18(a)所示，首先以金屬遮光罩42覆蓋玻璃板30A背面的一部分，未以金屬遮光罩42覆蓋區域的玻璃板30A上高壓噴吹鋁等研磨劑43，來形成開孔32A、34及劃線導引36。但是，由於僅以噴砂法實施加工時，玻璃板30A的表面粗度大，因此，之後還需要

五、發明說明(22)

以氟酸、氟酸/硝酸混合液、鹼等蝕刻液對玻璃板30A的背面進行化學蝕刻。藉此，如圖18(b)所示，可以形成內壁面平滑的開孔32A、34及劃線導引36。

玻璃板30A的主面加工(第四層配線14~第七層配線17及微凸塊20B的形成)與背面加工(貫穿孔32、開孔15、劃線導引22的形成及凸塊電極31的連接)也可以不同於上述的程序來實施。亦即，也可以在玻璃板30A的背面形成貫穿孔32、開孔34及劃線導引36，繼續在玻璃板30A的主面上形成第四層配線14~第七層配線17及微凸塊20B後，在貫穿孔32上連接凸塊電極31。此外，也可以在玻璃板30A的背面形成開孔32A、34及劃線導引36，繼續在玻璃板30A的主面上形成第四層配線14~第七層配線17及微凸塊20B後，蝕刻開孔32A來形成貫穿孔32，之後，在貫穿孔32上連接凸塊電極31。

本實施形態之CMOS邏輯LSI，係將以上述方法製造之矽基板1與玻璃基板30彼此主面對重疊，接合微凸塊20A、20B，藉由電性連接形成在矽基板1上之電路(n通道型MISFETQn、p通道型MISFETQp及第一層配線11~第三層配線13)電路與形成在玻璃基板30上之電路(第四層配線14~第七層配線17)，來完成其晶圓處理。

矽基板1之微凸塊20A與玻璃基板30之微凸塊20B的連接，係以Au/Sn共晶(Au80/Sn20：280℃，Au10/Sn90：217℃)接合或Au/Au熱壓接(450~550℃)來實施。

此外，也可以Au/Si共晶(Au98/Si2：370℃)接合、Au/Ge共晶(Au88/Si12：356℃)接合、高溫鉅錫(Pb97.5/Ag2.5：

五、發明說明 (23)

304°C)圓滑熱處理、Pb游離(Free)銻錫(Sn96/Ag3.5/Cu0.5:260°C)圓滑熱處理、W Plug/In Pool (In融點:156.6°C)填入法等來進行。

再者，也可以使用表面活性化接合法，其係利用高度真空下使表面潔淨的各金屬接近時，在常溫下相互接合的性質。此時的金屬材料組成，如Al-Al、Al-Si、Cu-Sn、Si-GaAs、Si-InP、GaAs-InP等。

以上述方法製造的CMOS邏輯LSI，最後以封裝體來封裝矽基板1與玻璃基板30即為成品。封裝的型態可以採用目前封裝體的各種封裝型態。

如圖19係為求提高微凸塊20A，20B的連接可靠性，而在矽基板1之主面與玻璃基板30之主面的間隙填入封裝樹脂(未充滿(Underfill)樹脂)51。

此外，如圖20所示，藉由在矽基板1的背面(上面)安裝散熱風扇52，可以減低熱電阻。此外，由於本實施形態之CMOS邏輯LSI可以將形成在玻璃基板30上之凸塊電極31用於散熱路徑(Thermal Wear)，因此，矽基板1上產生的部分熱度，可以通過凸塊電極31，自玻璃基板30的背面向外部發散。

第二種實施形態

圖21為本實施形態之CMOS邏輯LSI的剖面圖。如圖所示，該CMOS邏輯LSI為達到改善操作特性及耐雜音特性的目的，係在玻璃基板30的主面上形成電容器(C)。電容器(C)的電極25係使用以濺射法堆積之Al合金膜等配線材料形

五、發明說明 (24)

成，電容絕緣膜26係使用以CVD法及陽極氧化法堆積的 Ta_2O_5 (氧化鉭)膜等形成。此外，省略圖式的電感(L)及電阻(R)等，可以藉由形成電容器(C)以外的被動元件，也可以進一步的改善操作特性及耐雜音特性。電感(L)係使用以濺射法堆積之Al合金膜等配線材料形成，電阻(R)係使用以CVD法堆積之多結晶矽膜等形成。

電容器(C)、電感(L)、電阻(R)等被動元件宜形成在玻璃基板30上。亦即，藉由在矽基板1上形成微細之配線(第一層配線11~第三層配線13)及直徑小的通孔10，而在玻璃基板30上形成面積大的被動元件，可以縮小矽基板1的尺寸。

另外，由於玻璃比矽容易帶電，因此，尤其在玻璃基板30上形成被動元件(L, C, R)時，需要採取因應對策以避免靜電破壞元件。

防止帶電的對策，若在玻璃板30A的主面及背面實施加工時，使用如圖22及圖23所示的除電裝置60，即可有效除去附著在玻璃板30A上的帶電粒子。圖22為在支撐玻璃板30A之金屬板61上方配置除電裝置60的範例，圖23為在金屬板61的側方配置除電裝置60，可以在玻璃板30A與金屬板61之間有效除電的範例。除電裝置60係使用以波長為 $0.13\sim 0.14\ \mu m$ 之軟X線激勵除電對象物附近之氣體分子，形成正負離子，來中和帶電物表面的電荷。

第三種實施形態

本實施形態之半導體積體電路裝置為採用將記憶體單元資訊儲存容量部之電容器C配置在記憶體單元選擇用

五、發明說明 (25)

MISFETQs上部之堆疊電容器(Stacked Capacitor)構造的動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)，圖24為其重要部分(記憶體單元陣列)的剖面圖。此外，圖25為形成有構成記憶體單元一部分之記憶體單元選擇用MISFETQs與讀取記憶體單元資訊之位元線BL之部分的重要部分剖面圖，圖26為形成有構成記憶體單元另外部分之電容器C與第一層配線71及第二層配線72之部分的重要部分剖面圖。

如圖所示，該DRAM之一部分的記憶體單元選擇用MISFETQs及位元線BL形成在矽基板1的主面上，另外部分之電容器C、第一層配線71及第二層配線72則是形成在與矽基板1不同之玻璃基板30的主面上。因而，形成在矽基板1最上部的數個微凸塊20A與形成在玻璃基板30最上部的數個微凸塊20B，係如圖25所示的重疊，藉由兩者電性連接以構成整個DRAM。

亦即，該DRAM的製造步驟(晶圓處理)被分割成兩部分，分別在矽基板1與玻璃基板30執行形成記憶體單元選擇用MISFETQs及位元線BL的前半部步驟，與形成電容器C、第一層配線71及第二層配線72的後半部步驟。

在矽基板1上形成記憶體單元選擇用MISFETQs及位元線BL的前半部步驟，係執行一般的DRAM處理。有關該處理在特願平11-166320號等內有詳細記載。此外，在形成有記憶體單元選擇用MISFETQs及位元線BL之矽基板1的最上部形成數個微凸塊20A的步驟，與上述第一種實施形態中所說

五、發明說明(26)

明的步驟相同。繼續，將探針放在這些微凸塊20A上進行電特性測試後，藉由切割矽晶圓1A，分割成數個矽基板1，可以獲得上述圖26所示的矽基板(晶片)1。

另外，在玻璃基板30上形成電容器C、第一層配線71及第二層配線72的後半部步驟，則是與一般DRAM之製造步驟相反的程序來進行。亦即，一般DRAM的製造方法，首先是依序形成電容器C的下部電極73、電容絕緣膜74及上部電極75，其次，在電容器C的上部依序形成第一層配線71及第二層配線72。

而本實施形態的製造方法，則是首先在玻璃基板30上形成第二層配線作為最上層配線，繼續在第二層配線72的上部形成第一層配線71後，再於第一層配線71的上部依序形成電容器C的上部電極75、電容絕緣膜74及下部電極73。

第一層配線71及第二層配線72可以由Al合金、Cu、W等的金屬構成。此外，電容器C的上部電極75及下部電極73係以多結晶矽、TiN、Ru(鈦)、W等構成，電容絕緣膜74以 Ta_2O_5 (氧化鉭)、BST((Ba, Sr) TiO_3)、PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PLT($\text{PbLa}_x\text{Ti}_{1-x}\text{O}_3$)、PLZT、 PbTiO_3 、 SrTiO_3 、 BaTiO_3 等的高(強)電介質構成。

以上述高(強)電介質構成電容器C的電容絕緣膜74時，需要於堆積高(強)電介質膜後，在約700℃以上的氧氣環境下進行熱處理(回火)，以修復膜中缺氧等。先前之DRAM的製造步驟中，進行該高溫熱處理時，可能會影響記憶體單元選擇用MISFETQs的特性，但是本實施形態的製造方法，由

五、發明說明 (27)

於記憶體單元選擇用 MISFETQs 與電容器 C 係分別形成在不同的基板上，因此可以避免此種問題。亦即，由於採用分別於不同基板上形成記憶體單元選擇用 MISFETQs 及電容器 C 之本實施形態的製造方法時，可以提高 DRAM 的特性，因此可以提高其可靠性及製造成品率。

在玻璃基板 1 的最上部形成數個微凸塊 20B 的步驟及在玻璃基板 1 的背面形成凸塊電極 31 的步驟，與上述第一種實施形態中說明的步驟相同。繼續，將探針放在這些微凸塊 20B 上進行電特性測試後，藉由切割玻璃板 30A，分割成數個玻璃基板 30，可以獲得上述圖 26 所示的玻璃基板 30。

圖 27(a) 為此種本實施形態之製造方法的概念圖，圖 27(b) 為一般執行之 DRAM 的製造方法概念圖。圖中以一片光罩表示一個步驟，以數片光罩重疊表示數個連續步驟。

本實施形態的製造方法與上述第一種實施形態相同，首先係將整個晶圓處理的步驟 ($M_1 \sim M_n$) 分割成前半部步驟 A ($M_1 \sim M_m$) 與後半部步驟 B ($M_{m+1} \sim M_n$)，前半部步驟 A ($M_1 \sim M_m$) 係在第一基板 (此處係指矽基板 1) 上按照一般程序 ($M_1 \sim M_m$) 執行，後半部步驟 B ($M_{m+1} \sim M_n$) 則係在第二基板 (此處係指玻璃基板 30) 上以與一般程序相反的程序 ($M_n \rightarrow M_{m+1}$) 來執行。

繼續，在步驟 A ($M_1 \rightarrow M_m$) 的最後階段進行電特性測試，抽出合格的第一基板，在步驟 B ($M_n \rightarrow M_{m+1}$) 的最後階段進行電特性測試，抽出合格的第二基板後，經由微凸塊電性連接合格的第一基板與合格的第二基板，完成整個晶圓處理的步驟 ($M_1 \sim M_n$) 來獲得製成品。

五、發明說明 (28)

採用上述的製造方法，由於可使用兩條製造線同時進行前半部步驟A ($M_1 \rightarrow M_m$)及後半部步驟B ($M_n \rightarrow M_{m+1}$)，因此可以大幅縮短完成製品的所需時間(TAT)。此外，藉由分別在第一基板與第二基板上執行前半部步驟A ($M_1 \sim M_m$)與後半部步驟B ($M_{m+1} \sim M_n$)，大幅降低隨步驟數增加而累積增加的不合格率，因此可以大幅提高製品的製造成品率。

在不同基板上形成記憶體單元選擇用MISFETQs與電容器C之本實施形態的製造方法，除了DRAM之外，也可以適用於將強電介質之分極倒置利用在記憶保持上之強電介質記憶體的製造方法。

經上述製造的DRAM，最後以封裝體封裝矽基板1與玻璃基板30即為成品。封裝的型態可以採用目前封裝體的各種封裝型態。

另外，考慮可能因自玻璃基板30側面射入的光線造成形成在矽基板1上的記憶體錯誤操作時，可以如圖28所示的用於覆蓋玻璃基板30側面的罩蓋53來封裝矽基板1。

第四種實施形態

本實施形態的半導體積體電路裝置為高頻用雙極CMOSLSI，其重要部分的剖面圖如圖29所示。而圖30為構成該LSI一部分之雙極電晶體Qb、n通道型MISFETQn、p通道型MISFETQp及第一層配線81所形成部分的重要部分剖面圖，圖31則為構成該LSI另外部分之第二層配線82及第三層配線83所形成部分的重要部分剖面圖。

如圖所示，該雙極CMOSLSI一部分之雙極電晶體Qb、n通

五、發明說明(29)

道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線 81 係形成在矽基板 1 的主面上，另外部分之第二層配線 82 及第三層配線 83 則係形成在與矽基板 1 不同之玻璃基板 30 的主面上。因而，形成在矽基板 1 最上部之數個微凸塊 20A 與形成在玻璃基板 30 最上部之數個微凸塊 20B，如圖 31 所示的重疊，並藉由兩者電性連接來構成整個雙極 CMOSLSI。

亦即，該 LSI 的製造步驟被分割成兩部分，同時使用不同的製造線進行在矽基板 1 上形成雙極電晶體 Q_b、n 通道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線 81 的前半部步驟，及在玻璃基板 30 上形成第二層配線 82 及第三層配線 83 的後半部步驟。

在矽基板 1 上形成雙極電晶體 Q_b、n 通道型 MISFETQ_n、p 通道型 MISFETQ_p 及第一層配線 81 的前半部步驟，係按照一般雙極 CMOS 處理來執行。而在矽基板 1 最上部形成數個微凸塊 20A 的步驟則與上述第一種實施形態中說明的步驟相同。

另外，在玻璃基板 30 上形成第二層配線 82 及第三層配線 83 的後半部步驟，則是與一般相反的程序進行。亦即，本實施形態之製造步驟係首先在玻璃基板 30 上形成第三層配線 83，繼續在第三層配線 83 的上部形成第二層配線 82。而在玻璃基板 1 最上部形成數個微凸塊 20B 之步驟及在玻璃基板 1 的背面形成凸塊電極 31 的步驟，則與上述第一種實施形態說明的步驟相同。

採用本實施形態時，由於可以組合具備模擬特性的矽基

五、發明說明 (30)

板1與玻璃基板30，因此可以低成本獲得高頻特性提高的雙極CMOSLSI。

第五種實施形態

本實施形態的半導體積體電路裝置，為由邏輯LSI與記憶體LSI所構成的系統LSI，其整體平面圖如圖32所示，圖33則為沿圖32A-A線的概略剖面圖。

該系統LSI可由四個功能塊構成，分別為邏輯智慧性質(Intellectual Property, IP)(1)、邏輯IP(2)、DRAMIP及快閃記憶體IP。這四個功能塊分別在四個矽基板(晶片)90A，90B，90C，90D上形成，藉由將這四個矽基板90A~90D安裝在玻璃基板100上。以構成整個系統LSI。

矽基板90A~90D與玻璃基板100的電性連接，係藉由接合形成在矽基板90A~90D主面上之數個微凸塊20A與形成在玻璃基板100主面上之數個微凸塊20B來進行。

在玻璃基板100的主面上形成有兩層配線103，104。此外，在玻璃基板100的背面(下面)則形成有構成系統LSI之外部連接端子的數個凸塊電極101。這些凸塊電極101通過形成在玻璃基板100上的貫穿孔102，與配線104電性連接。

其中一個系統LSI功能塊之邏輯IP(1)的製造步驟(晶圓處理)被分割成兩部分，並分別在矽基板90A與玻璃基板100上執行形成MISFET等半導體元件及多層配線之一部分的步驟，及形成多層配線另外部分的步驟。同樣的，其他功能塊的邏輯IP(2)、DRAMIP及快閃記憶體IP的製造步驟(晶圓處理)也分別被分割成兩部分，並分別在矽基板90B，90C，

五、發明說明 (31)

90D及玻璃基板100上執行形成半導體元件及多層配線之一部分的步驟及形成多層配線另外部分的步驟。

上述系統LSI按照如圖34所示的設計流程，作成用於在四個矽基板90A~90D上執行步驟($M_0 \sim M_m$)的光罩，及用於在一個玻璃基板100上執行步驟($M_{m+1} \sim M_n$)的光罩。

圖35為此種本實施形態之製造方法的概念圖，而圖36則為其製造流程圖。圖中以一片光罩表示一個步驟，以數片光罩重疊表示數個連續的步驟。此外，雖然各功能塊在矽基板90A~90D上執行的步驟數有所不同，不過，為便於說明，此處在矽基板90A~90D上執行的步驟數均相同($M_0 \sim M_m$)。

本實施形態的製造方法，係將一個功能塊(如邏輯IP (1))之整個晶圓處理的步驟($M_0 \sim M_n$)分割成步驟A ($M_0 \sim M_m$)與步驟B ($M_{m+1} \sim M_n$)，步驟A ($M_0 \sim M_m$)係在第一基板(如矽基板90A)上按照一般程序($M_0 \rightarrow M_m$)執行，步驟B ($M_{m+1} \sim M_n$)則係在第二基板(此處係指玻璃基板100)上以與一般程序相反的程序($M_n \rightarrow M_{m+1}$)來執行。並在步驟A ($M_0 \sim M_m$)的最後階段，將探針放在微凸塊20A上進行電特性測試，抽出合格的第一基板(矽基板90A)。

同樣的，其他的功能塊的整個晶圓處理步驟也被分割成步驟A ($M_0 \sim M_m$)與步驟B ($M_{m+1} \sim M_n$)，步驟A ($M_0 \sim M_m$)係在第一基板(如矽基板90B，90C，90D)上按照一般程序($M_0 \rightarrow M_m$)執行，步驟B ($M_{m+1} \sim M_n$)則係在第二基板(此處係指玻璃基板100)上以與一般程序相反的程序($M_n \rightarrow M_{m+1}$)來執行。並在步

五、發明說明 (32)

驟 A ($M_0 \sim M_m$) 的最後階段，將探針放在微凸塊 20A 上進行電特性測試，抽出合格的第一基板(矽基板 90B，90C，90D)。

繼續在步驟 B ($M_n \rightarrow M_{m+1}$) 的最後階段進行電特性測試，抽出合格的第二基板(玻璃基板 100)後，經由微凸塊 20A，20B，電性連接合格的第一基板(矽基板 90A，90B，90C，90D)及合格的第二基板(玻璃基板 100)。

採用如上述的製造方法時，由於可以使用數個製造線同時進行各功能塊的步驟 A ($M_0 \sim M_m$) 與步驟 B ($M_{m+1} \sim M_n$)，因此可以大幅縮短製品完成所需時間(TAT)。此外，藉由分別在第一基板與第二基板上執行各功能塊的步驟 A ($M_0 \sim M_m$) 與步驟 B ($M_{m+1} \sim M_n$)，可以大幅降低隨步驟數增加而累積增加的不合格率，因此可以大幅提高製品的製造成品率。

再者，藉由在數個第一基板上分別執行數個功能塊的各步驟 A ($M_0 \sim M_m$)，比在單一的第一基板上混合執行數個功能塊的各步驟 A ($M_0 \sim M_m$)，可以減少各第一基板的步驟數，同時使各功能塊的處理最佳化，因此可以進一步提高製品的可靠性及製造成品率。

分別在矽基板 90A~90D 及玻璃基板 100 執行各功能塊的製造步驟時，係在矽基板 90A~90D 上形成以微細之設計原則所形成的主動元件及配線，並在玻璃基板 100 上形成寬度寬的配線及大面積被動元件。由於藉此可以縮小矽基板 90A~90D 的尺寸，因此在玻璃基板 100 上可以高密度安裝功能塊。此外，四個功能塊上的共同步驟，因儘可能在玻璃基板 100 上執行，因此可以減少步驟數。

五、發明說明 (33)

如圖 37 所示，矽基板 90A，90B，90C，90D 的各主面上形成有輸入輸出電路(I/O)，其具備包含箝位二極體及電阻元件等的保護電路。此時，經由微凸塊 20A，20B 與玻璃基板 100 之外部連接端子(凸塊電極 101)連接的輸入輸出電路部分，係形成有如圖 38 所示的耐高壓保護電路，若為未連接功能塊間信號輸入輸出電路等外部連接端子(凸塊電極 101)的輸入輸出電路部分的保護電路，則可藉由構成更簡單的保護電路來縮小輸入輸出電路(I/O)的佔有面積，縮小矽基板 90B，90C，90D 的尺寸。

此外，如圖 39 所示，也可以在矽基板 90A，90B，90C，90D 的一部分(如形成有記憶體 LSI 之矽基板 90B，90C)上不設置輸入輸出電路(I/O)。此時，未設置輸入輸出電路(I/O)之矽基板(90B，90C)與外部連接端子(凸塊電極 101)的連接，係經由矽基板 90A，90D 的輸入輸出電路(I/O)來執行。藉此，可以縮小形成有記憶體 LSI 之矽基板 90B，90C 的尺寸，增加記憶體 LSI 的容量。

此外，除上述矽基板 90A~90D 之外，也可以在玻璃基板 100 的主面上安裝晶片壓縮器等被動元件及以一般晶圓處理所製造的晶片尺寸封裝體(Chip Size Package，CSP)等。

再者，如圖 40 所示，也可以在玻璃基板 100 的主面上配置構成系統 LSI 之外部連接端子的凸塊電極 101。

此外，上述第五種實施形態，為求促使各功能塊的處理最佳化，係藉由分別形成在矽基板 90A~90D 上之多層配線與構成各功能塊的信號配線連接，連接不同功能塊之間的

五、發明說明(34)

信號配線，也可以將製造步驟分割成兩部分來形成多層配線，藉由形成在玻璃基板100上的多層配線實施連接。

此外，在玻璃基板上形成多層配線的處理，也可以與在各矽基板90A~90D上形成多層配線的處理不同，例如，也可以塗敷法堆積之環氧系樹脂之構成，來取代以CVD法堆積層間絕緣膜之氧化矽膜的構成。

此外，藉由執行各矽基板90A~90D之步驟($M_0 \sim M_m$)所形成的MISFET及多層配線上，也可以形成以一般晶圓處理所形成的最後保護膜(passivation film)，來達到保護其的目的。

以上，係依據實施形態具體說明本發明人的發明，不過本發明並不限定於上述的實施形態，只要在不脫離其要旨的範圍內當然可以做各種改變。

產業上利用的可行性

採用將形成有積體電路一部分之第一基板的主面與形成有上述積體電路另外部分的第二基板主面對配置，經由形成在上述第一基板上之第一連接端子與形成在上述第二基板上之數個第二連接端子，來電性連接上述積體電路之一部分與另外部分的構造，可以提高半導體積體電路裝置的製造成品率並縮短開發時間(TAT)。

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵為具有積體電路，其構造包含數個半導體元件及形成在數個配線層上的數條配線，

且上述積體電路之一部分形成在第一基板的主面上，上述積體電路的另外部分形成在第二基板的主面上，

上述第一基板與上述第二基板彼此的主面相對配置，上述積體電路之一部分與另外部分經由形成在上述第一基板主面上的數個第一連接端子與形成在上述第二基板主面上的數個第二連接端子電性連接。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中上述第一基板或上述第二基板之任一基板的背面形成有數個外部連接端子。
3. 如申請專利範圍第1或2項之半導體積體電路裝置，其中上述第一或第二基板中的一個為半導體基板，另一個為玻璃基板。
4. 如申請專利範圍第3項之半導體積體電路裝置，其中上述外部連接端子係形成在上述玻璃基板的背面，上述積體電路與上述外部連接端子通過形成在上述玻璃基板上的貫穿孔電性連接。
5. 如申請專利範圍第2項之半導體積體電路裝置，其中上述外部連接端子為凸塊電極。
6. 如申請專利範圍第2項之半導體積體電路裝置，其中上述第一及第二連接端子的直徑小於上述外部連接端子。
7. 如申請專利範圍第2項之半導體積體電路裝置，其中上

六、申請專利範圍

述第一及第二連接端子數量多於上述外部連接端子。

8. 如申請專利範圍第1項之半導體積體電路裝置，其中上述第一及第二連接端子為凸塊電極。
9. 如申請專利範圍第3項之半導體積體電路裝置，其中上述玻璃基板由無鹼性玻璃構成。
10. 如申請專利範圍第1項之半導體積體電路裝置，其中上述第一及第二連接端子以Au/Sn共晶或Au/Au熱壓接彼此接合。
11. 如申請專利範圍第1項之半導體積體電路裝置，其中形成在上述第一基板主面上之上述積體電路的一部分，包含數個主動元件及形成在至少一層配線層上的數條配線，形成在上述第二基板主面上之上述積體電路的另外部分，包含形成在至少一層配線層上的數條配線。
12. 如申請專利範圍第11項之半導體積體電路裝置，其中形成在上述第一基板主面上之上述配線的寬度，比形成在上述第二基板主面上之上述配線的寬度窄。
13. 如申請專利範圍第11項之半導體積體電路裝置，其中上述第二基板的主面上形成有被動元件。
14. 如申請專利範圍第1項之半導體積體電路裝置，其中上述積體電路的構成包含數個記憶體單元，其係由MISFET與電容器構成，上述MISFET係形成在上述第一基板的主面上，上述電容器係形成在上述第二基板的主面上。
15. 一種半導體積體電路裝置的製造方法，其特徵為具有積體電路，其係藉由執行數個步驟來製造，

六、申請專利範圍

且將上述數個步驟分割成數個步驟群，在不同的數個基板上分別執行上述數個步驟群後，藉由電性連接上述數個基板來製造上述積體電路。

16. 一種半導體積體電路裝置的製造方法，其特徵為具有積體電路，其係藉由執行數個步驟來製造，且包含：

(a) 分割步驟，其係將上述數個步驟分割成第一步驟群與第二步驟群；

(b) 積體電路形成步驟，其係將上述第一步驟群所形成之上述積體電路的一部分形成在第一基板的主面上，以上述第二步驟群所形成之上述積體電路的另外部分形成在第二基板的主面上；

(c) 連接端子形成步驟，其係在形成有上述積體電路一部分之上述第一基板的主面上形成數個第一連接端子，在形成有上述積體電路另外部分之上述第二基板的主面上形成數個第二連接端子；及

(d) 電性連接步驟，其係經由上述第一連接端子與上述第二連接端子，電性連接形成有上述積體電路之一部分的上述第一基板與形成有上述積體電路之另外部分的上述第二基板。

17. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，其中上述連續之數個步驟、上述第一步驟群及上述第二步驟群分別包含 $M_1 \sim M_m$ 及 $M_{m+1} \sim M_n$ 步驟，

在上述第一基板主面上形成上述積體電路的一部分時，以該程序執行上述 $M_1 \sim M_m$ 步驟，

六、申請專利範圍

在上述第二基板主面上形成上述積體電路的另外部分時，以與該程序相反的程序執行上述 $M_{m+1} \sim M_n$ 步驟。

18. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，其中在上述(c)步驟之後，上述(d)步驟之前，還包含使用上述數個第一連接端子測試上述積體電路一部分之電特性的步驟，或使用上述數個第二連接端子測試上述積體電路另外部分之電特性的步驟。
19. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，係使用數個製造線同時執行上述第一步驟群與上述第二步驟群。
20. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，其中以上述第一步驟群所執行之上述積體電路的一部分，與以上述第二步驟群所執行之上述積體電路的另外部分，係藉由彼此互異的設計原則形成。
21. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，其中上述(c)步驟之後，還包含在上述第一基板或上述第二基板之任何一方形形成數個外部連接端子的步驟。
22. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，有數個上述積體電路，在相互不同之第一基板的主面上形成以各積體電路之上述第一步驟群所執行的一部分，在上述數個積體電路共用之第二基板的主面上形成以各積體電路之上述第二步驟群所執行的另外部分。
23. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主

六、申請專利範圍

面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；數個半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述數個半導體晶片的各主面上；其特徵在於：

上述數個半導體晶片的主面與上述玻璃基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接。

24. 如申請專利範圍第23項之半導體積體電路裝置，其中上述玻璃基板係以無鹼性玻璃所構成。
25. 如申請專利範圍第24項之半導體積體電路裝置，其中上述玻璃基板上形成有數個貫穿孔，上述數個第一連接端子與上述多層配線係經由上述數個貫穿孔連接。
26. 如申請專利範圍第25項之半導體積體電路裝置，其中上述數個貫穿孔以噴砂法處理上述玻璃基板來形成。
27. 如申請專利範圍第25項之半導體積體電路裝置，其中上述數個貫穿孔以噴砂法及蝕刻法處理上述玻璃基板來形成。
28. 如申請專利範圍第23項之半導體積體電路裝置，其中上述數個第二連接端子的至少一部分，經由上述多層配線與上述數個第一連接端子電性連接。
29. 如申請專利範圍第28項之半導體積體電路裝置，其中經由上述多層配線連接之上述數個第二連接端子，為形成在上述數個半導體晶片中之各半導體晶片主面上之信號配線用的連接端子。

六、申請專利範圍

30. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述玻璃基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接。

31. 如申請專利範圍第30項之半導體積體電路裝置，其中上述數個第二連接端子的至少一部分經由上述多層配線相互電性連接。

32. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述配線基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接，且上述數個第一連接端子分別為鉅錫突起電極。

33. 如申請專利範圍第32項之半導體積體電路裝置，其中上述數個第一連接端子的直徑係較上述數個第二連接端子

六、申請專利範圍

的直徑為大。

34. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述配線基板的主面對配置，上述多層配線上形成有數個第三連接端子，上述數個第二連接端子係經由上述數個第三連接端子與上述多層配線電性連接；上述數個第二連接端子係藉由上述數個第三連接端子與Au/Sn共晶或Au/Au熱壓接而彼此接合。

35. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述配線基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接；上述玻璃基板係由無鹼玻璃所構成。

36. 一種半導體積體電路裝置，其具有：玻璃基板，其具有

六、申請專利範圍

主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述玻璃基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接；上述玻璃基板之鹼成分含量係在0.1重量%以下。

37. 一種半導體積體電路裝置，其具有：玻璃基板，其具有主面及背面；多層配線，其係形成在上述玻璃基板的主面上；數個第一連接端子，其係形成在上述玻璃基板的背面上；半導體晶片，其具有主面；及數個第二連接端子，其係形成在上述半導體晶片的主面上；其特徵在於：

上述半導體晶片的主面與上述玻璃基板的主面對配置，上述數個第二連接端子的至少一部分係經由上述多層配線與上述數個第一連接端子電性連接；上述玻璃基板之一部份上形成有被動元件。

38. 如申請專利範圍第37項之半導體積體電路裝置，其中上述玻璃基板之導電度係較構成上述半導體晶片之矽基板為小。

圖 1

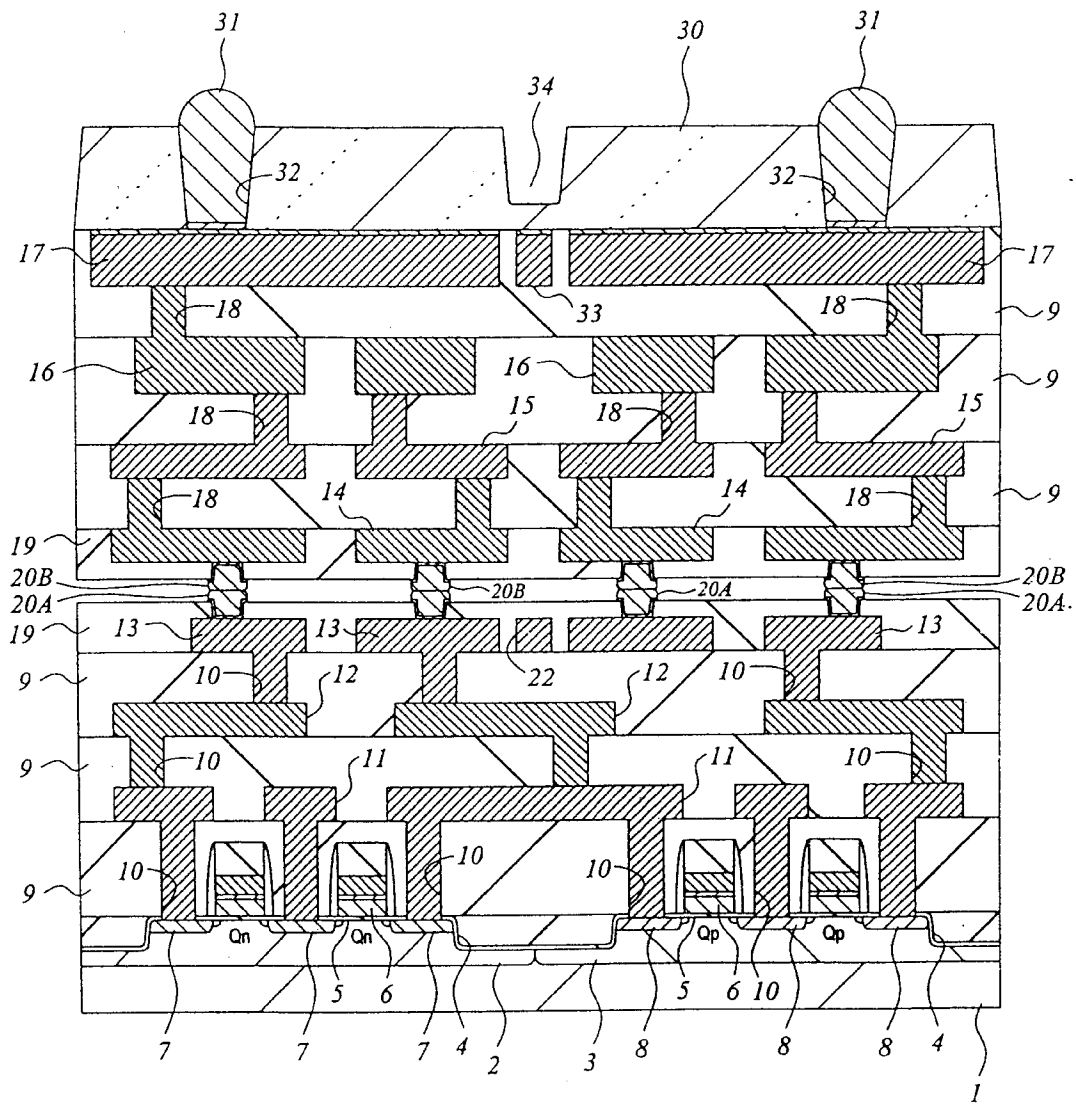


圖 2

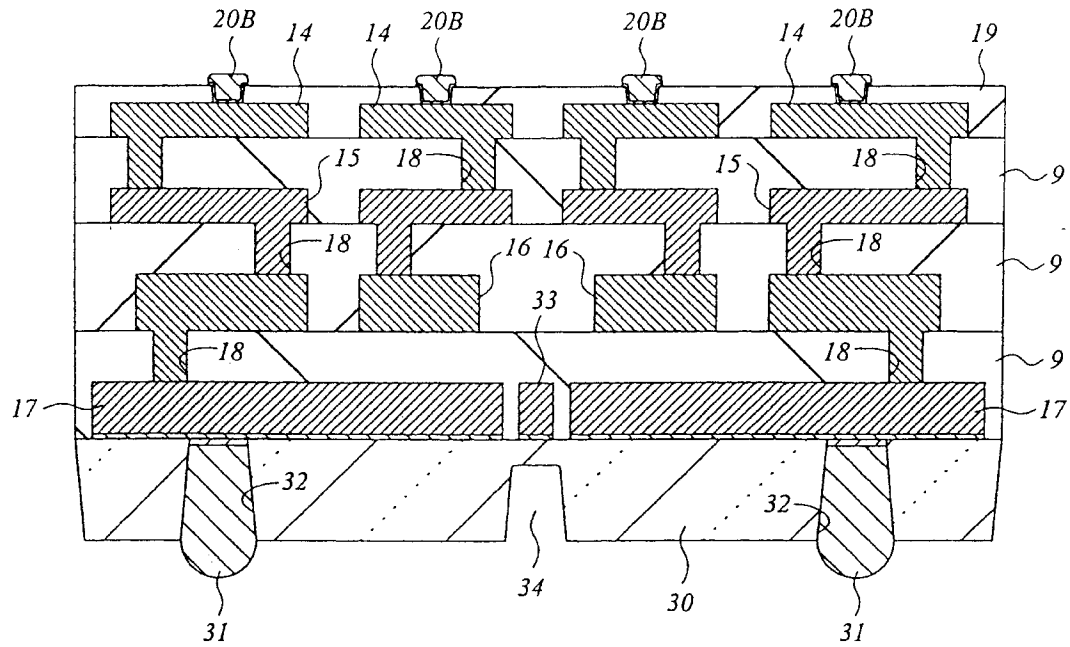


圖 3

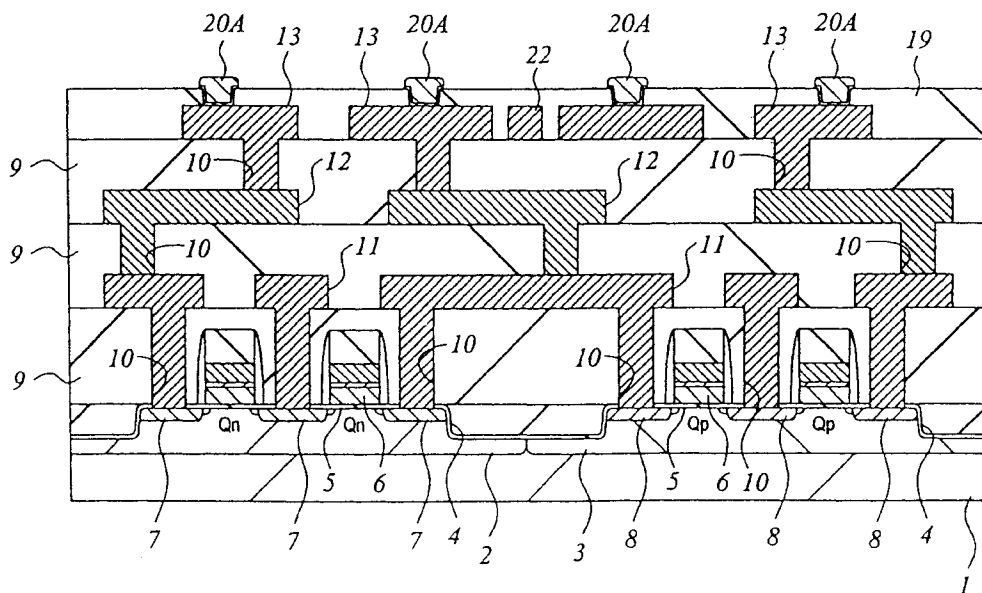
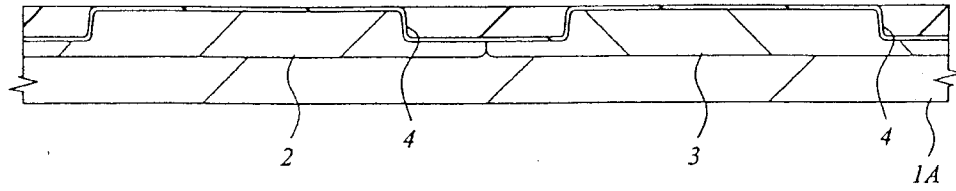
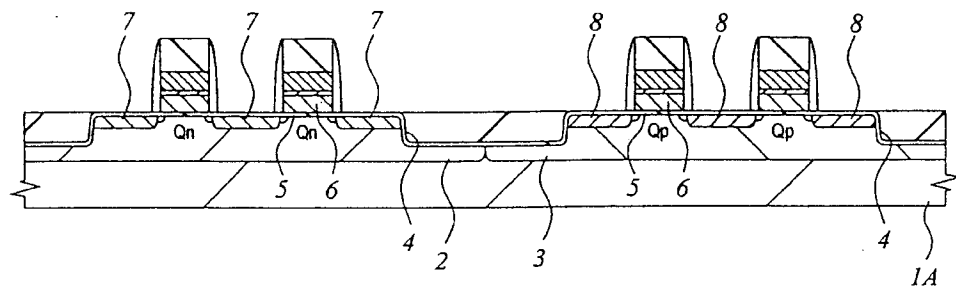


圖 4

(a)



(b)



(c)

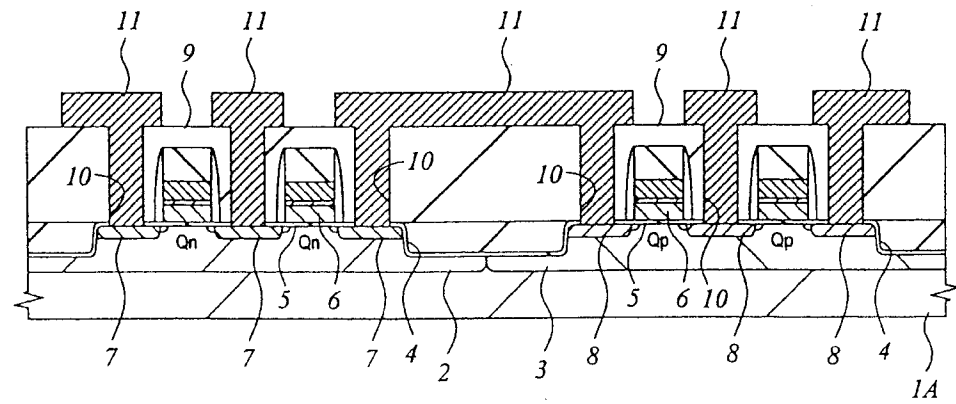


圖 5

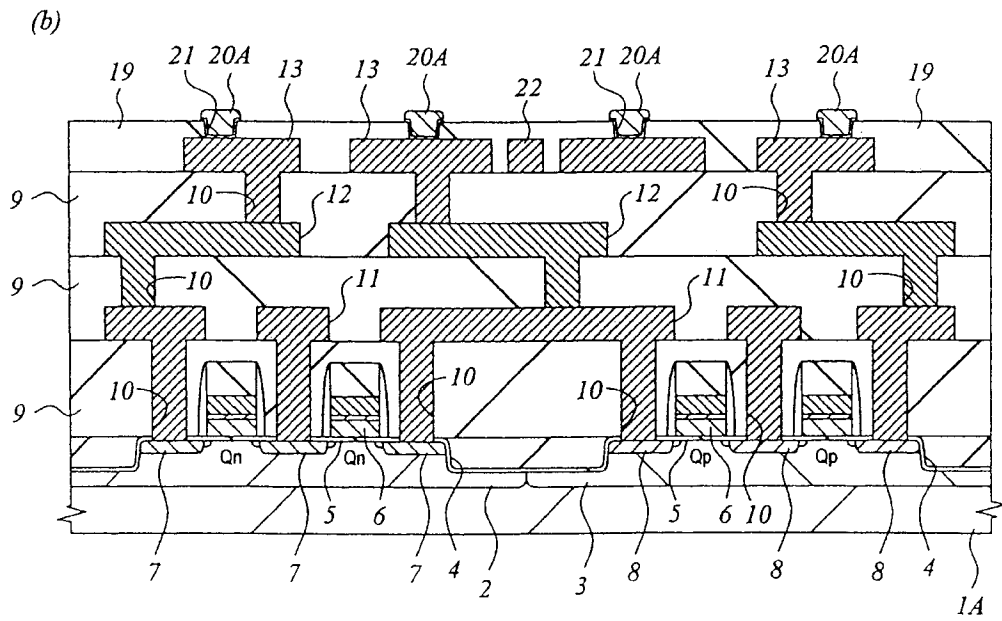
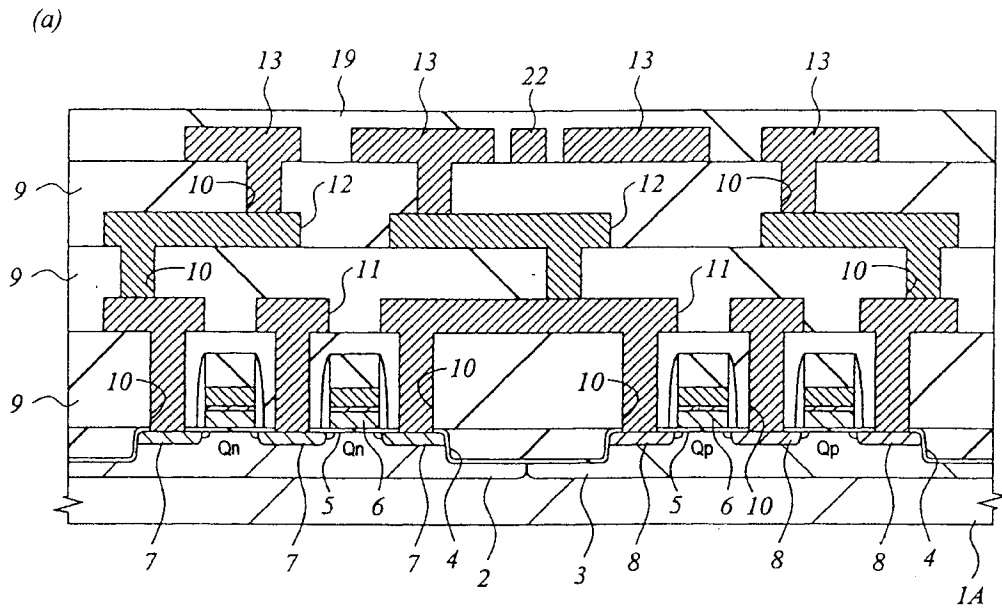


圖 6

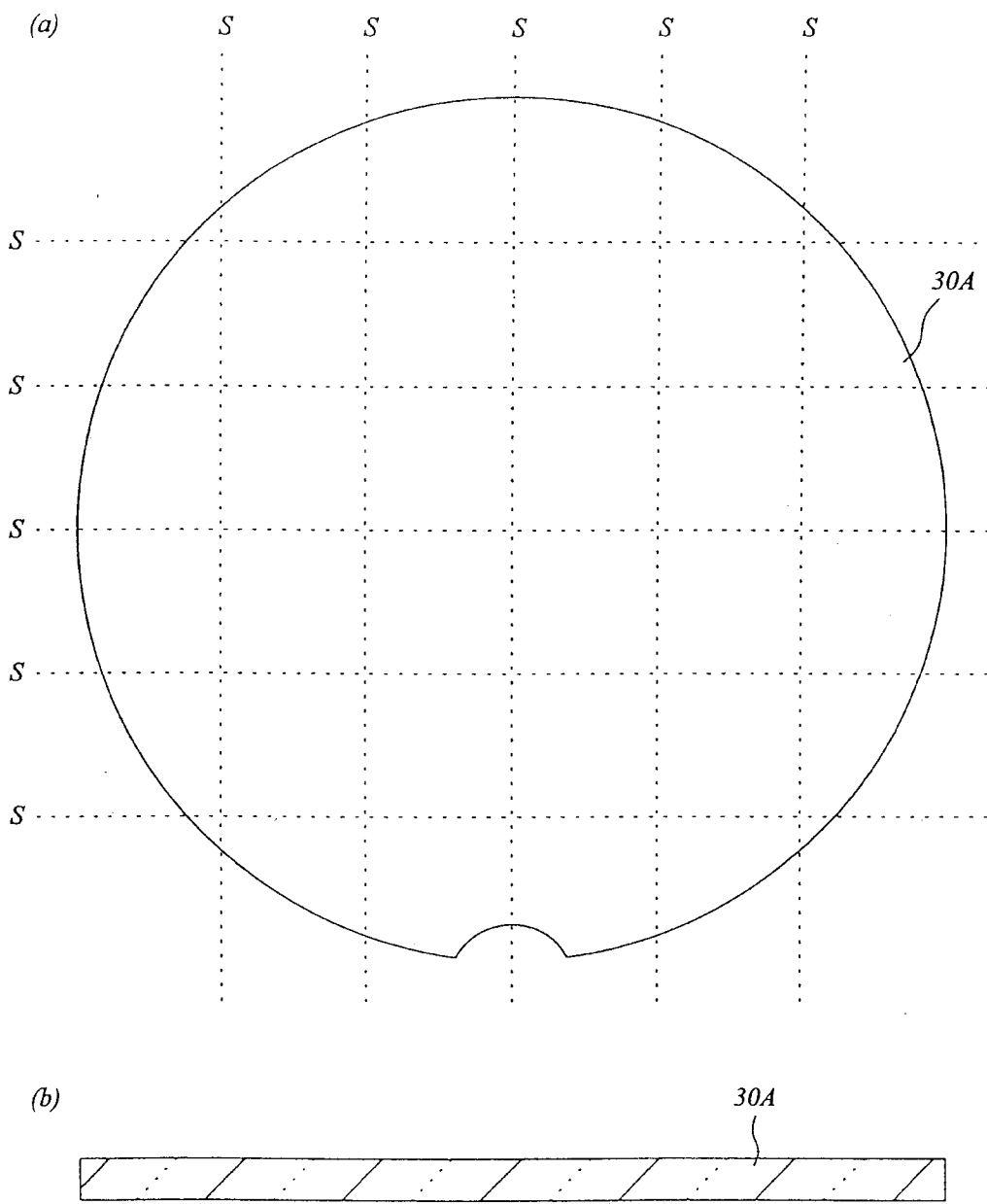


圖 7

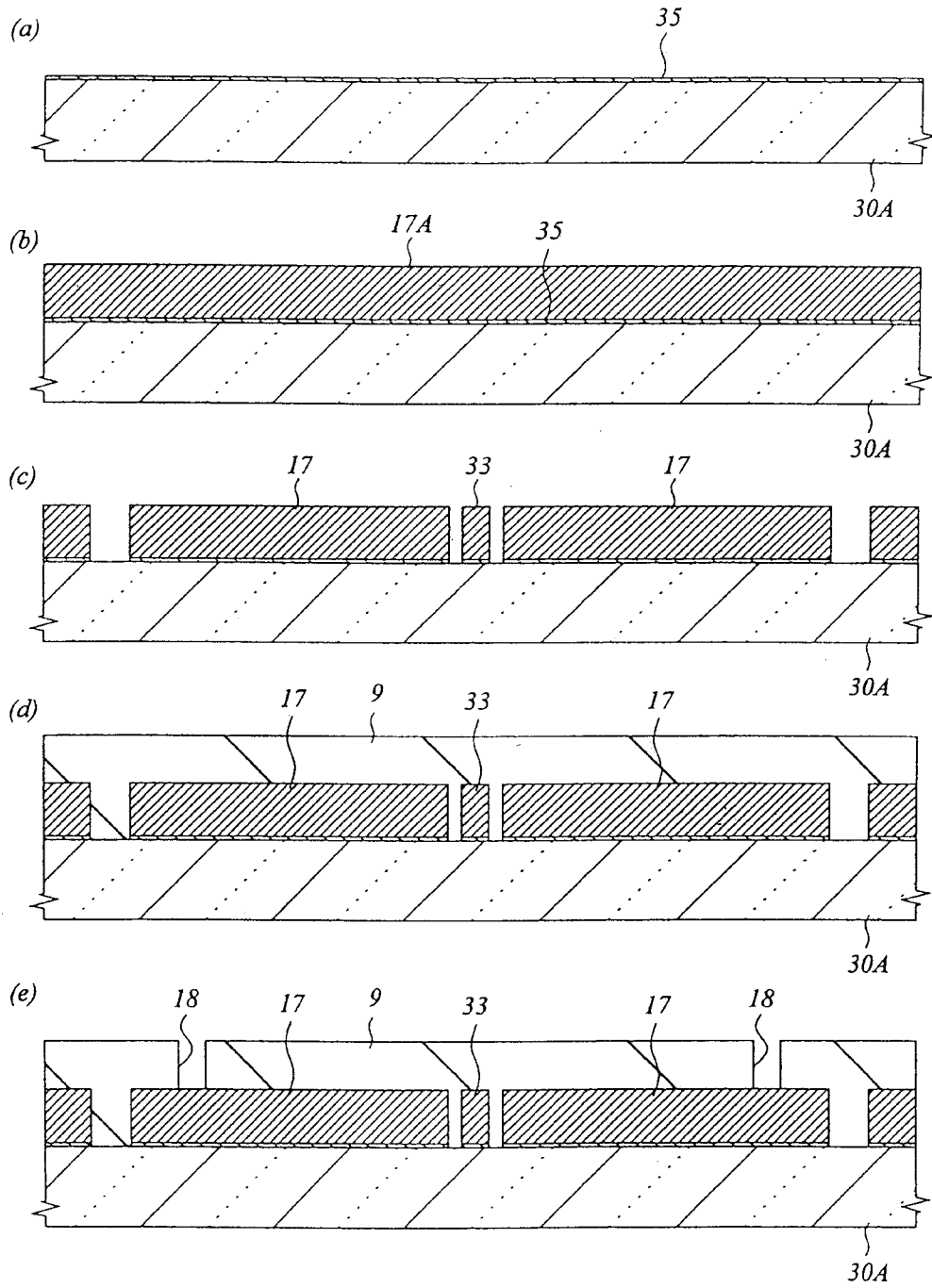


圖 8

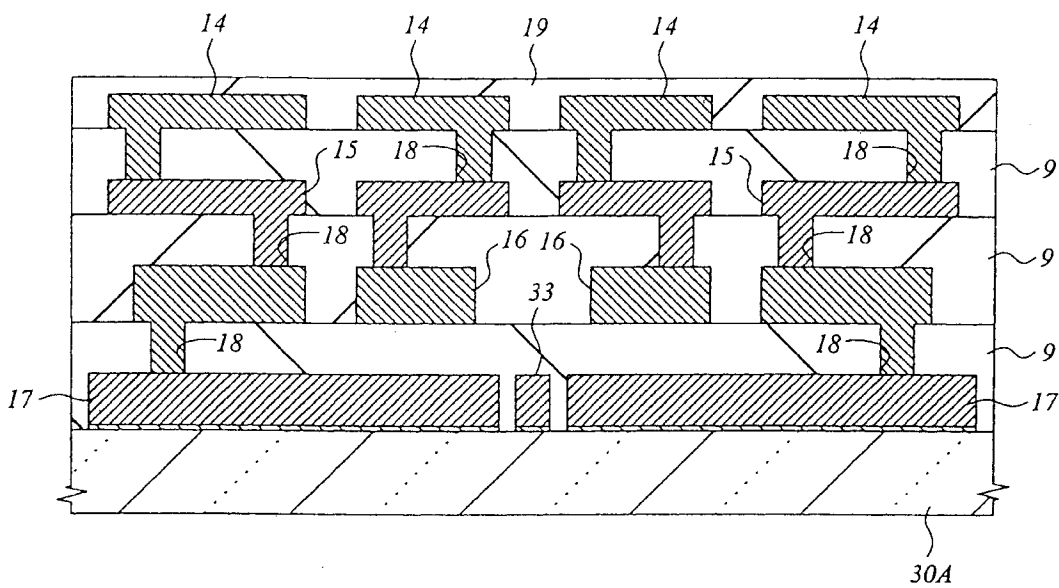
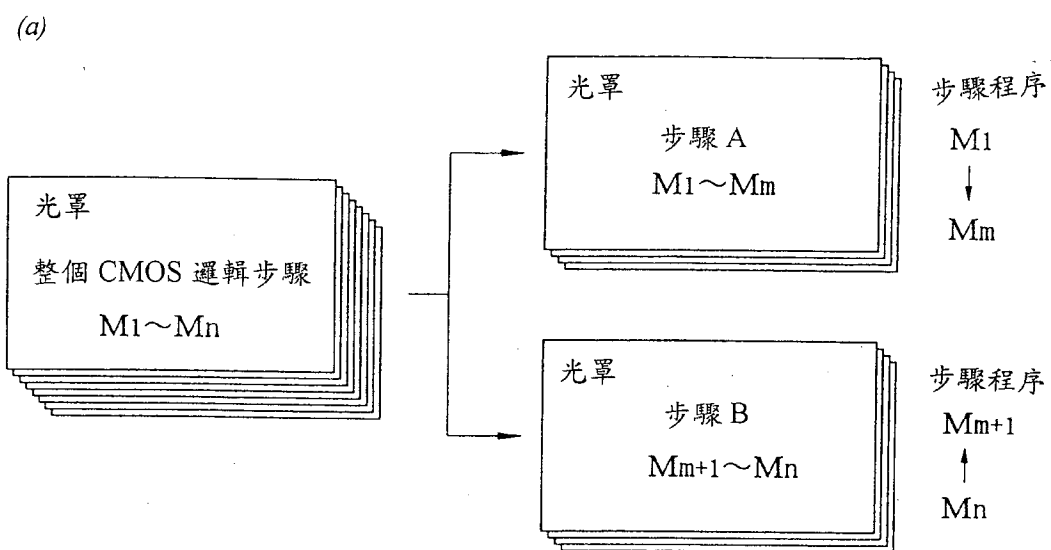


圖 9



(b)

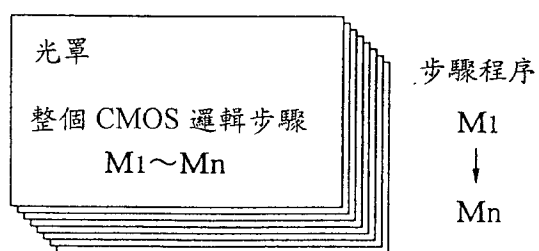


圖 10

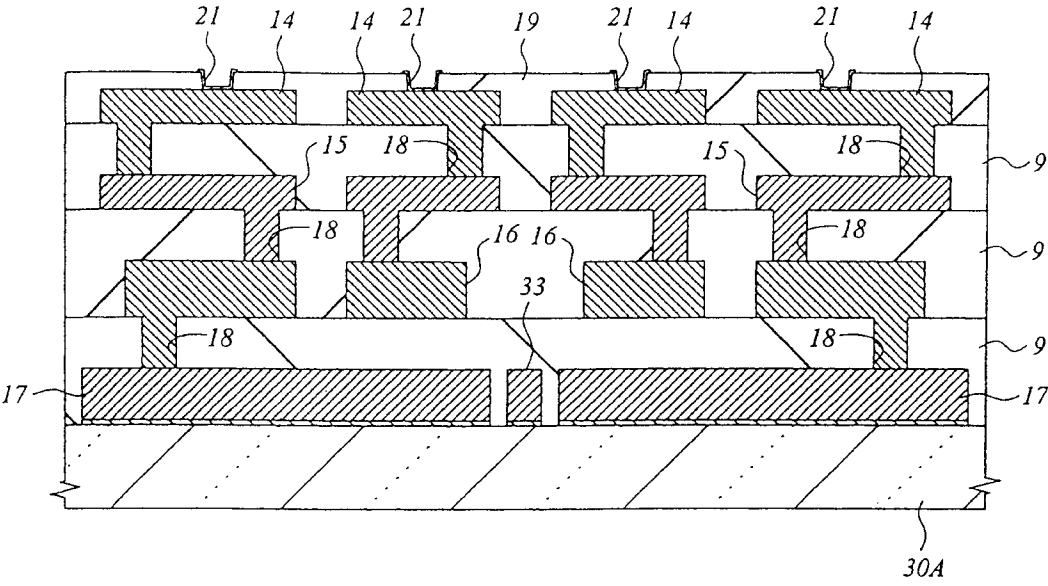


圖 11

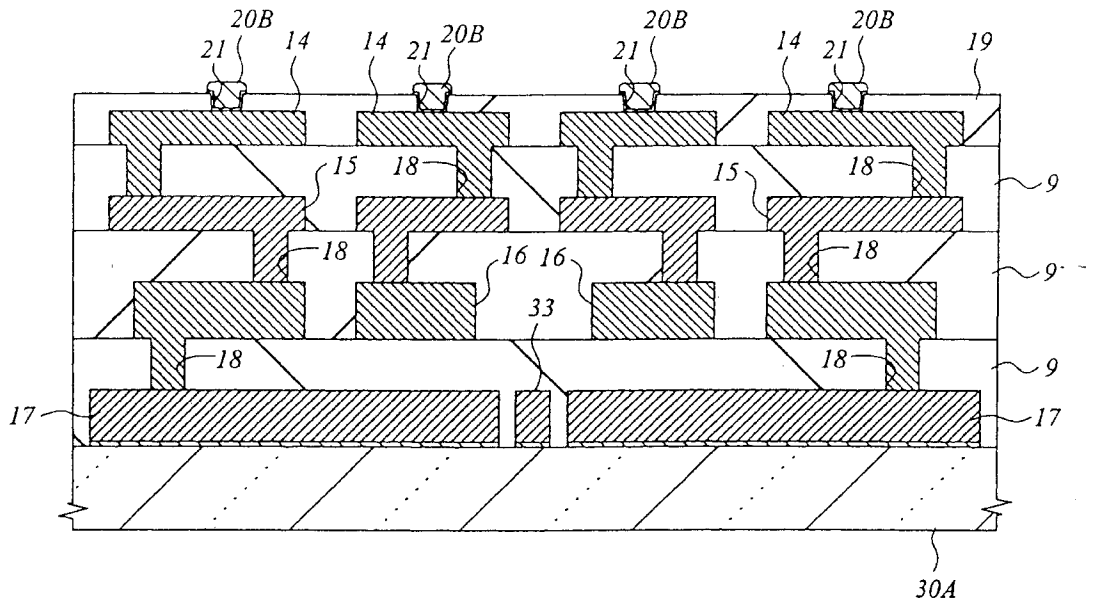


圖 12

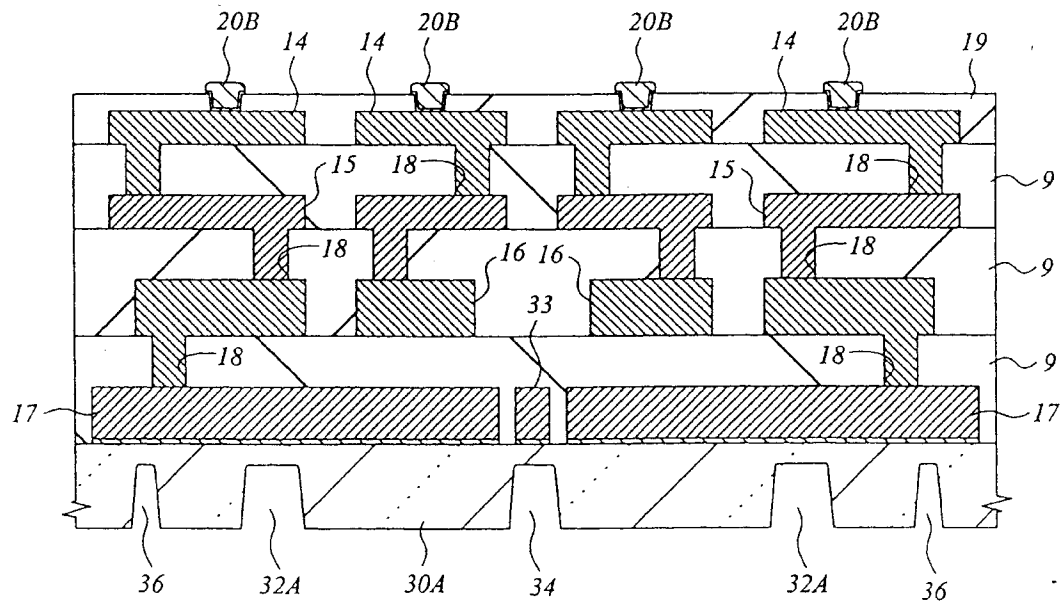


圖 13

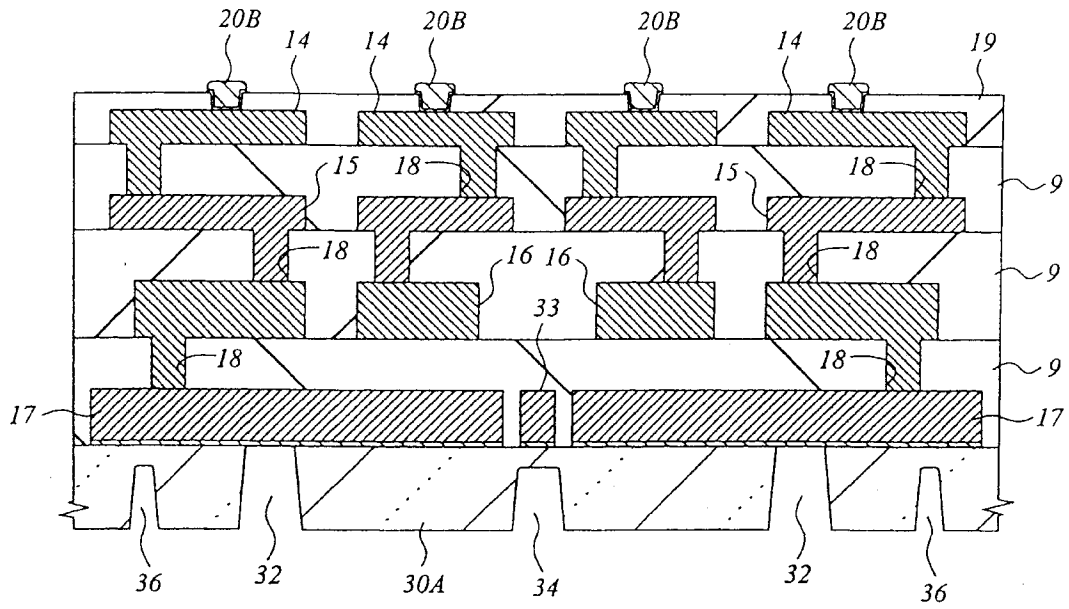


圖 14

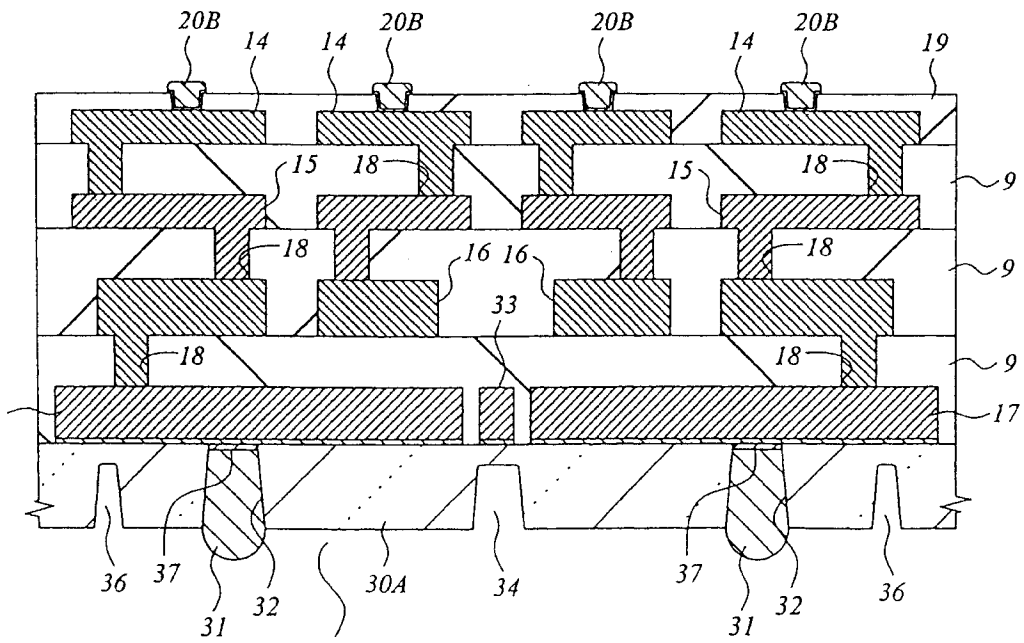
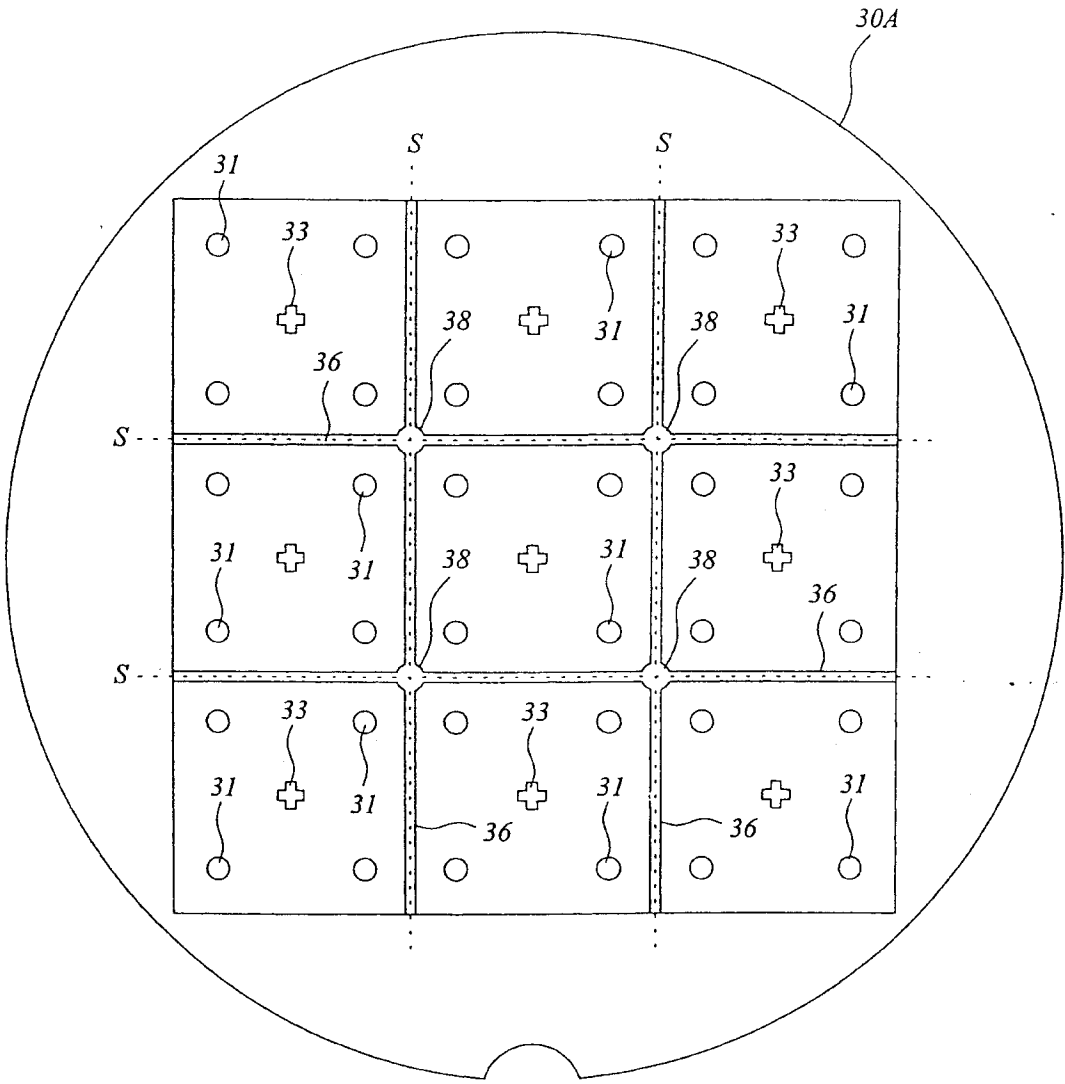


圖 15



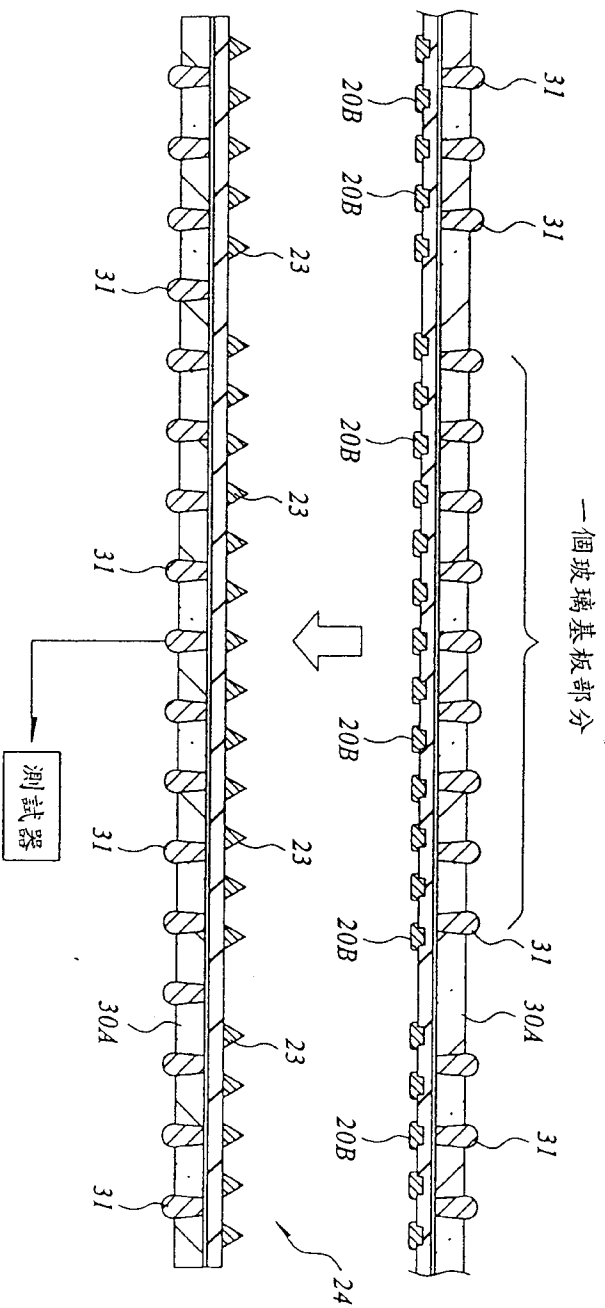
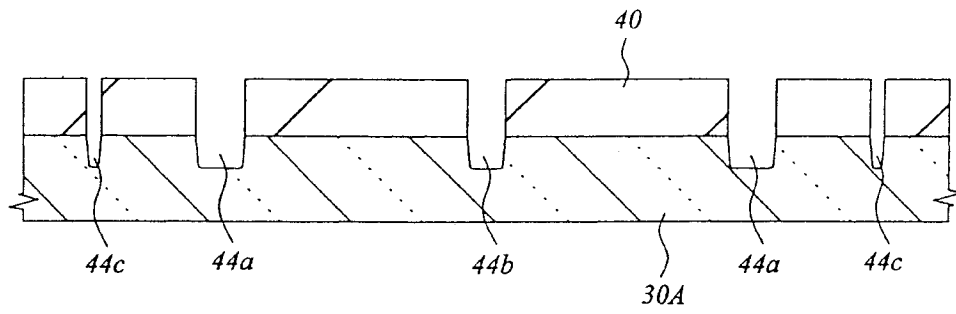


圖 16

圖 17

(a)



(b)

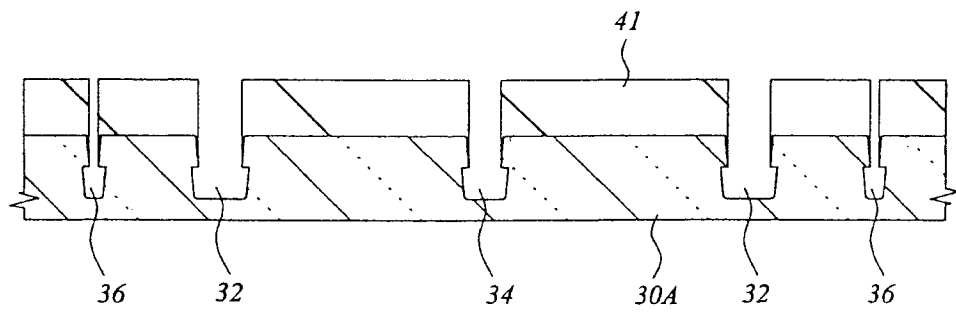


圖 18

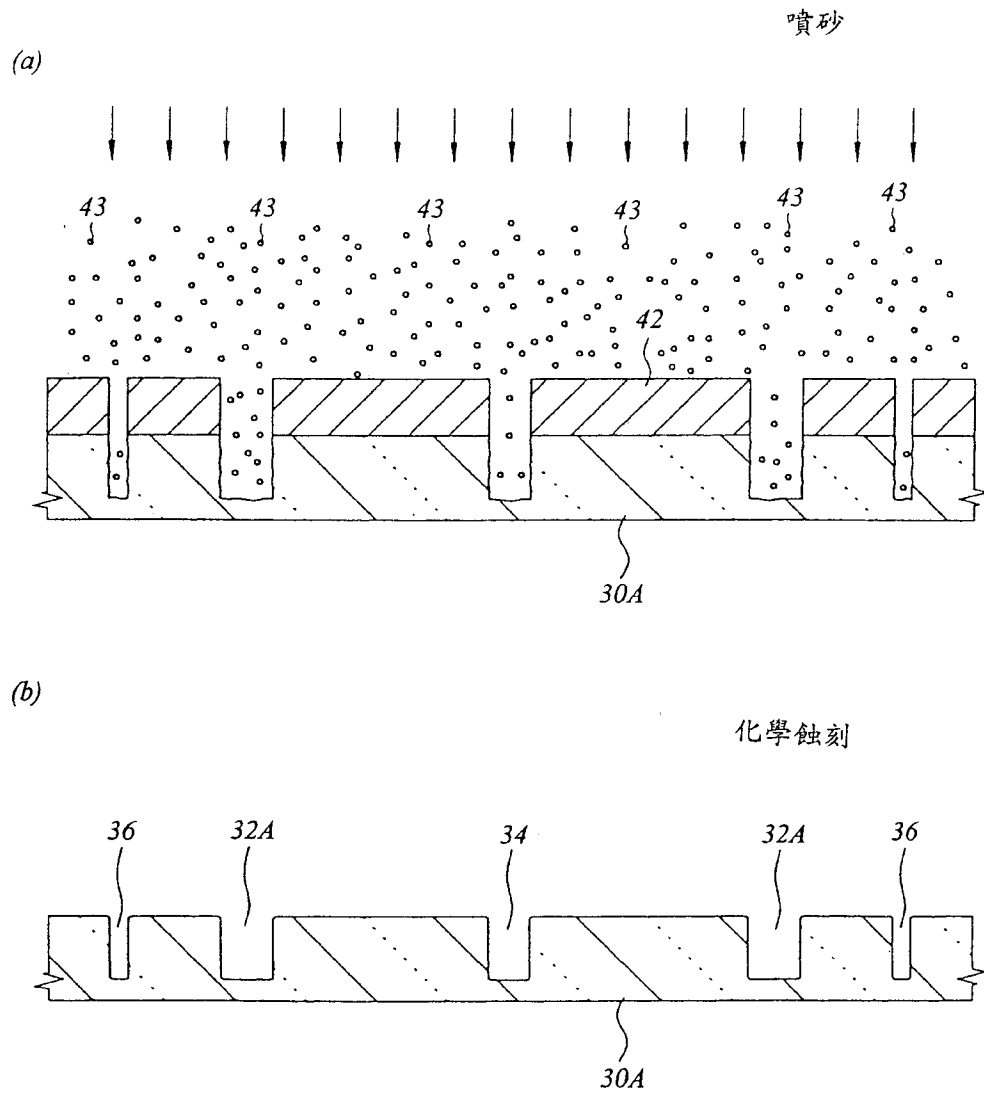


圖 19

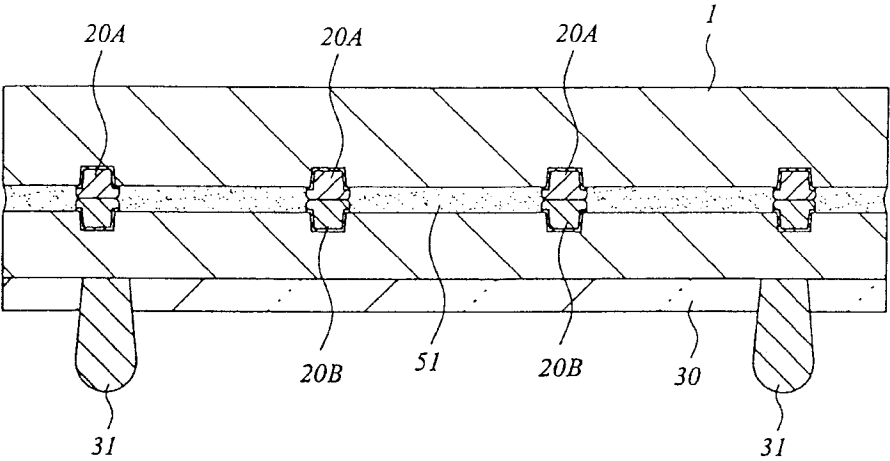


圖 20

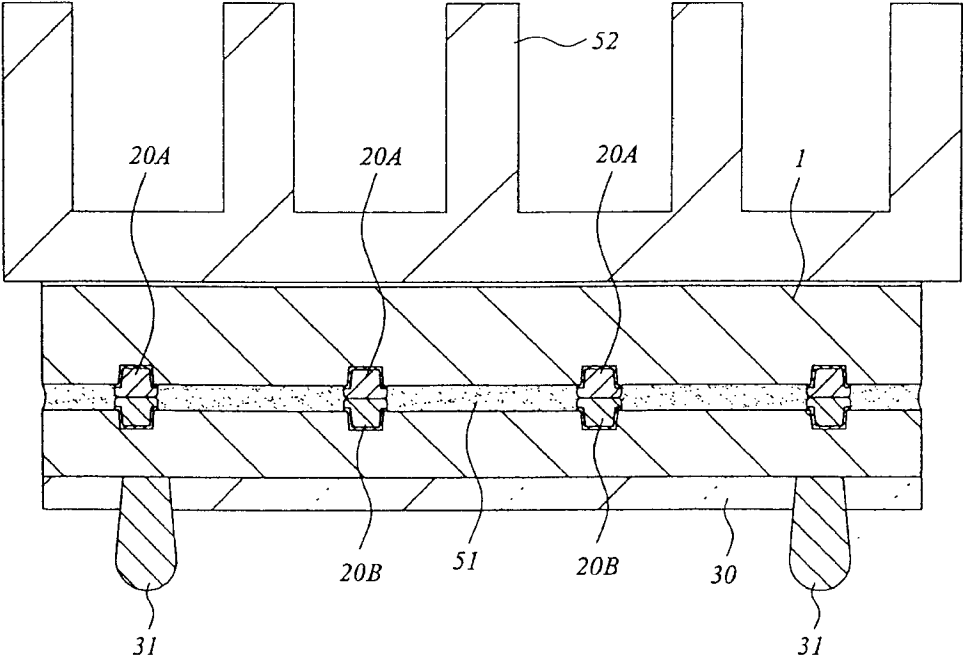


圖 21

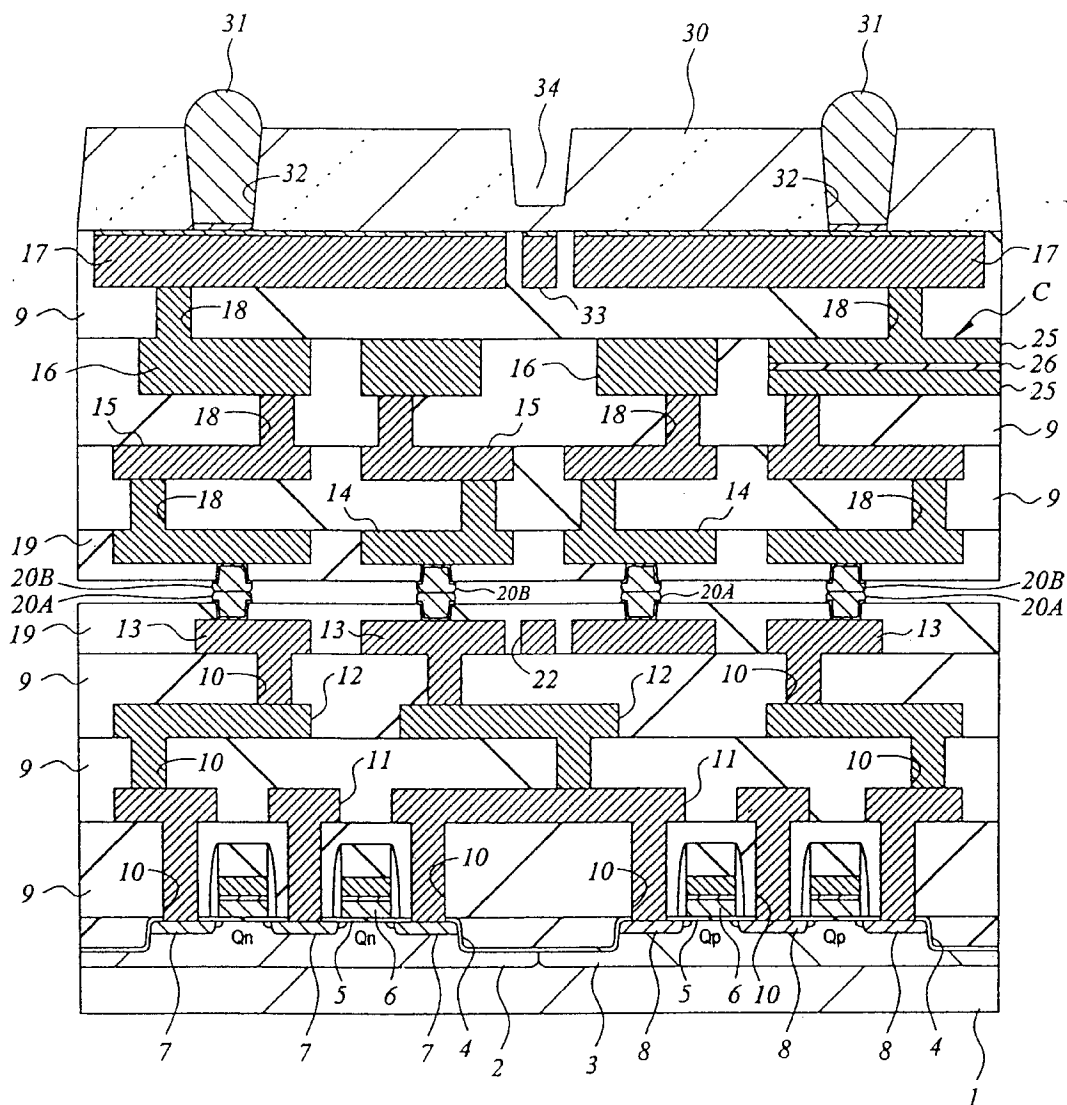


圖 22

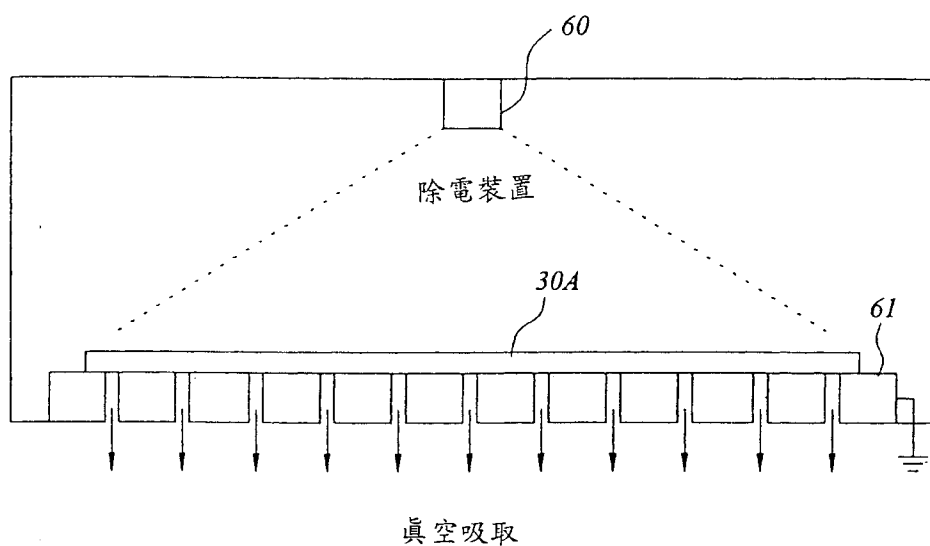
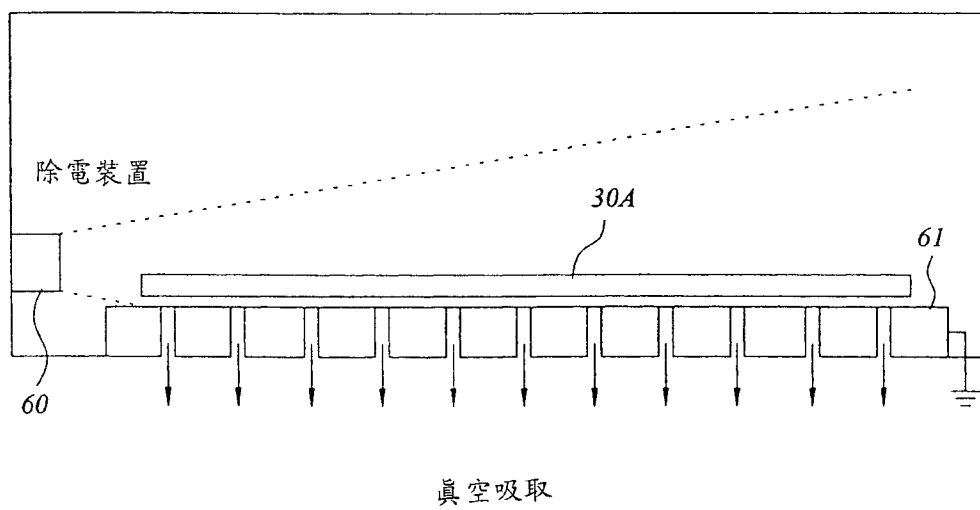


圖 23



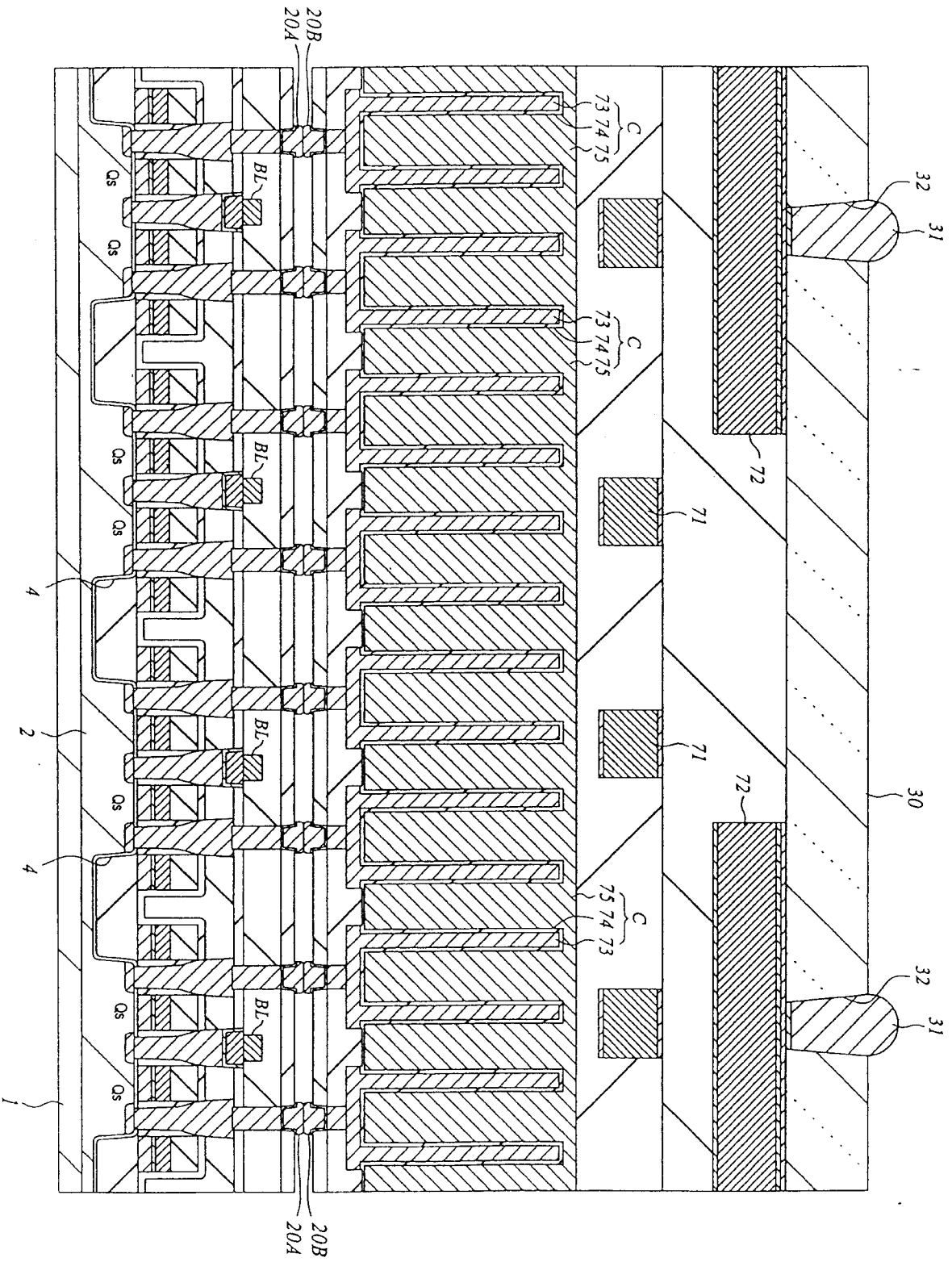


圖 24

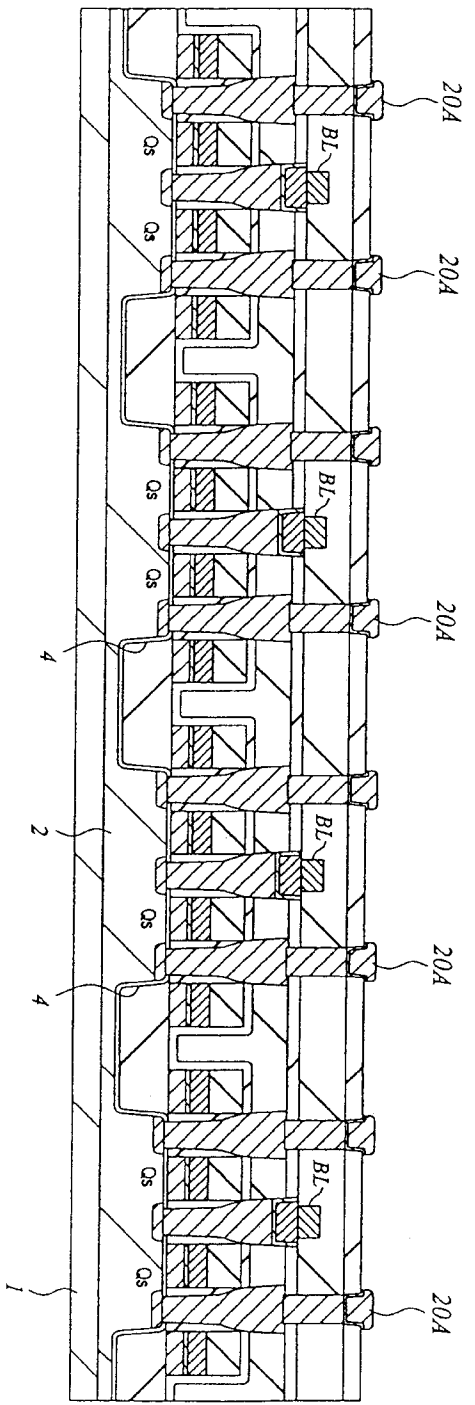


圖 25

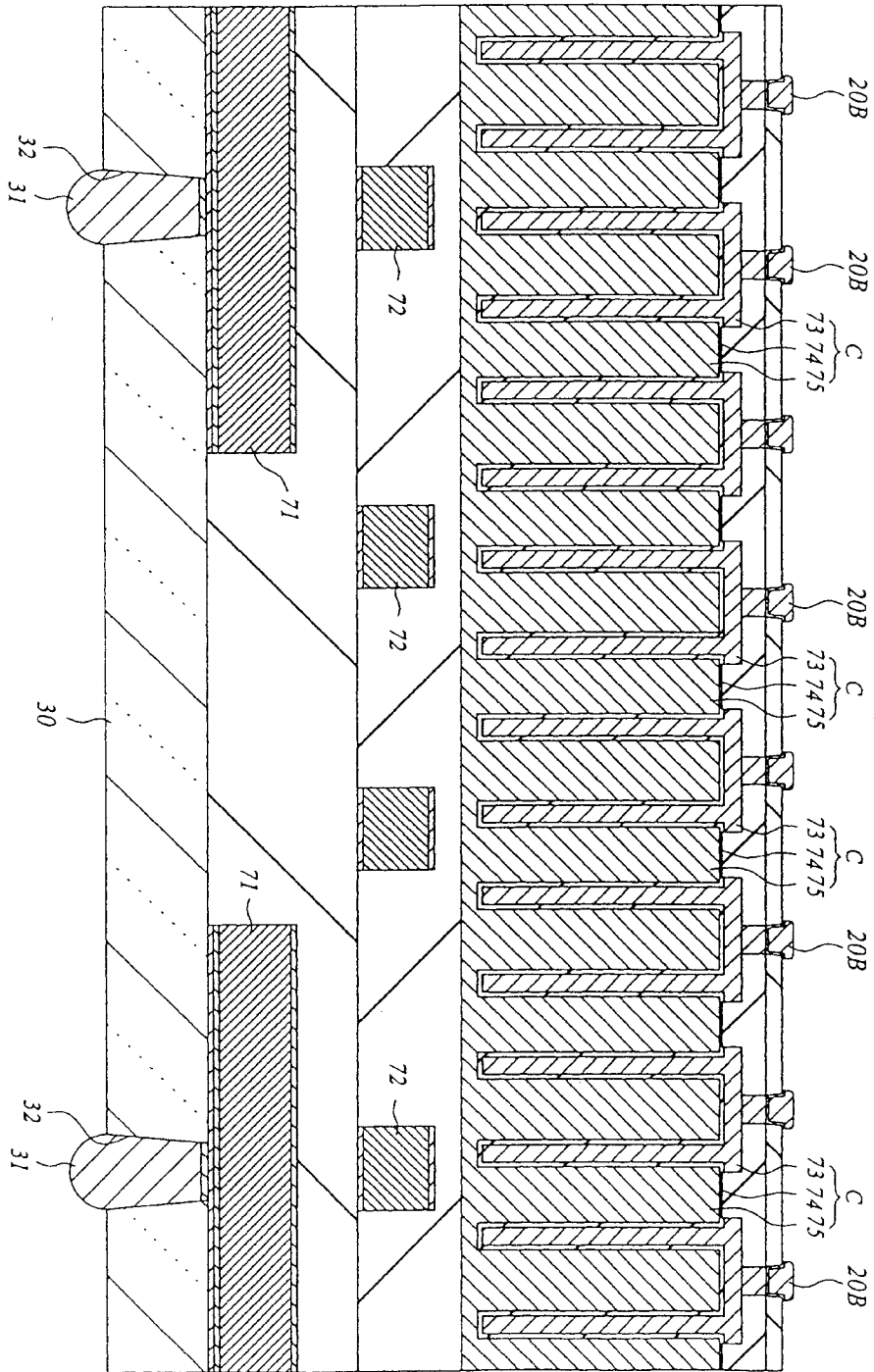
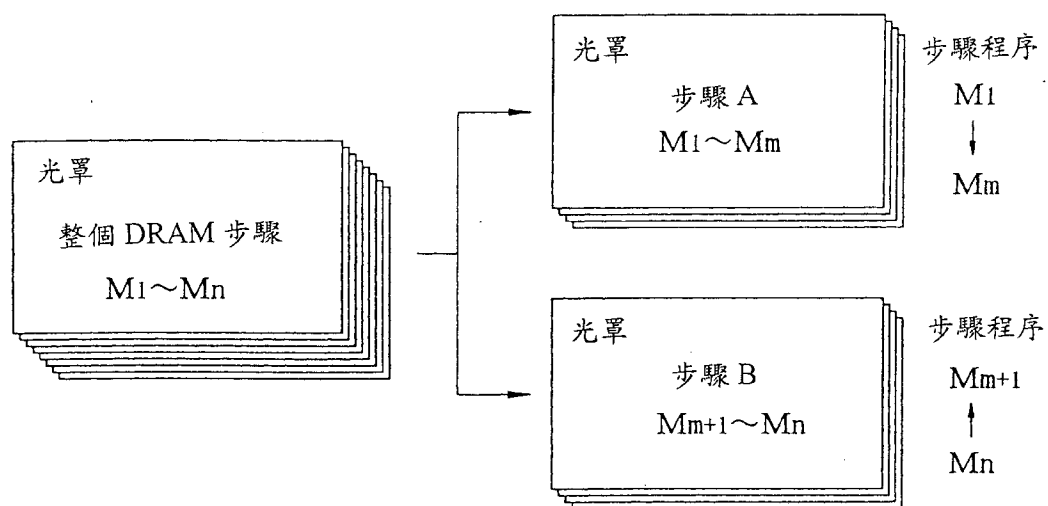


圖 26

圖 27

(a)



(b)

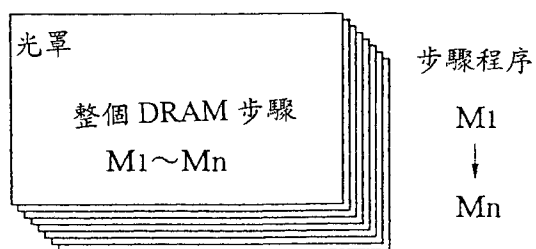
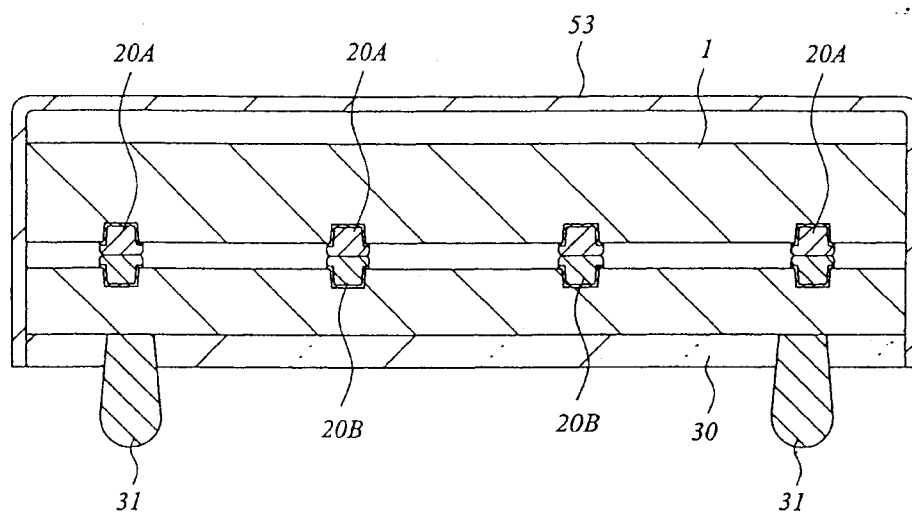


圖 28



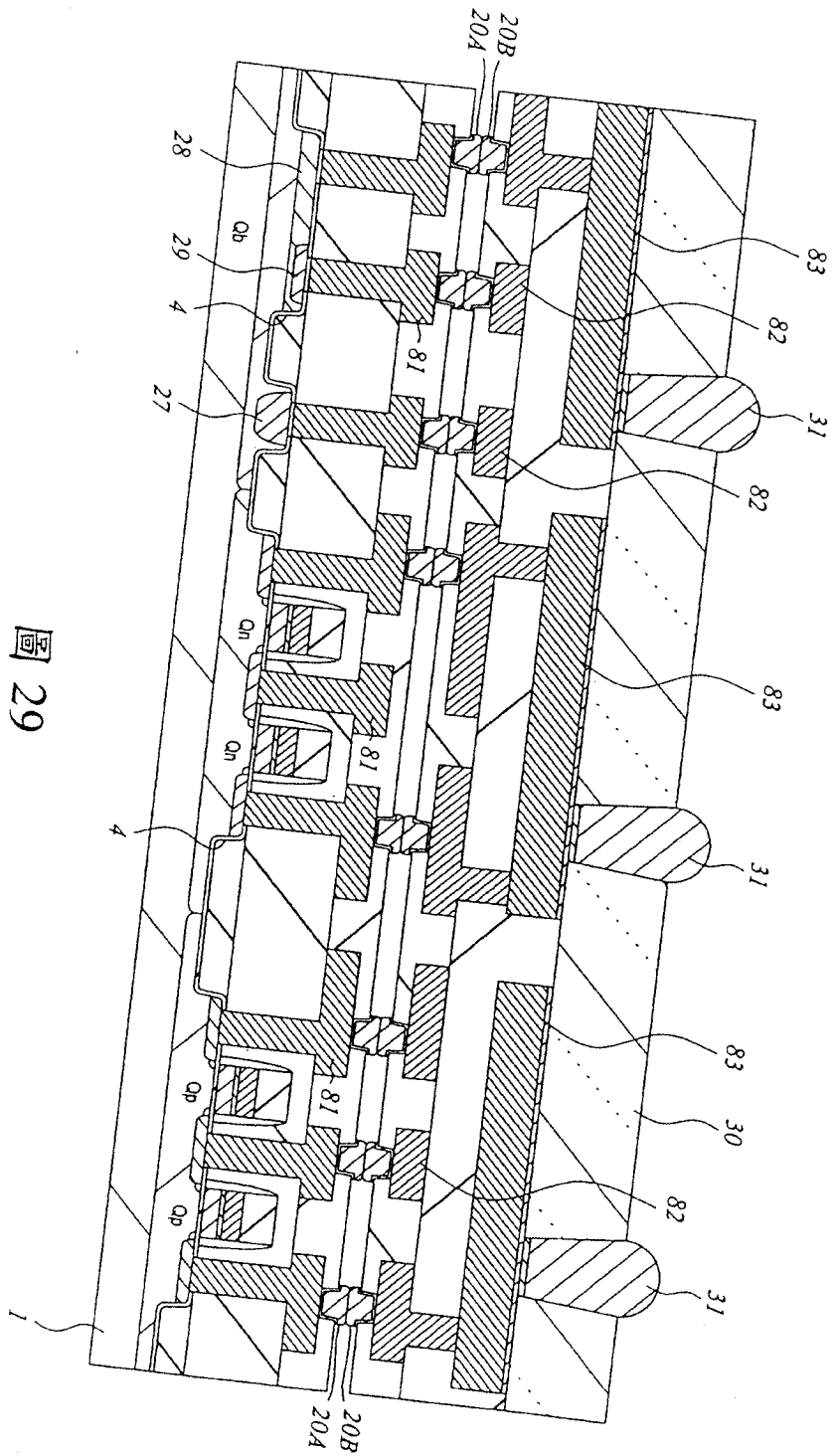


圖 29

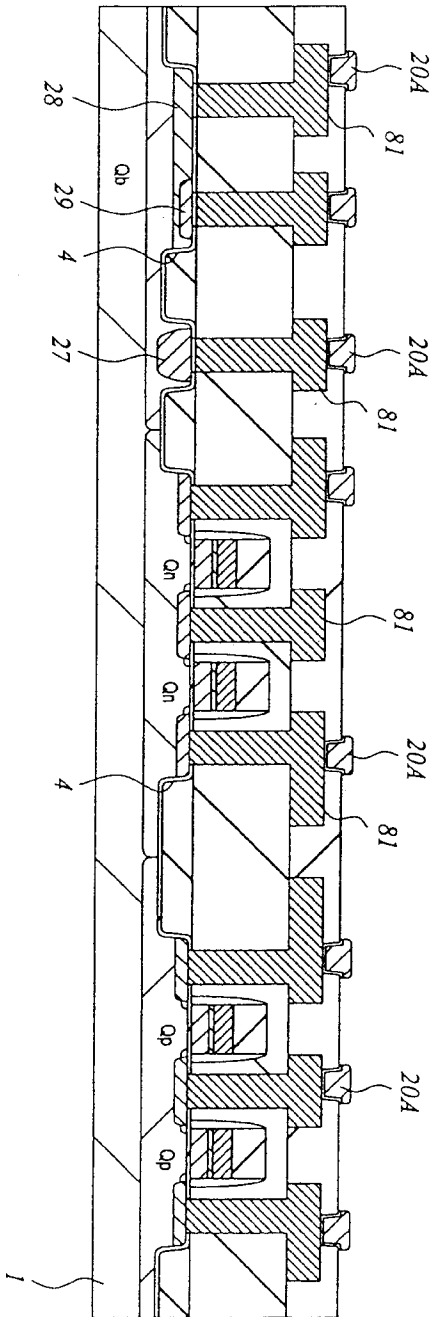


圖 30

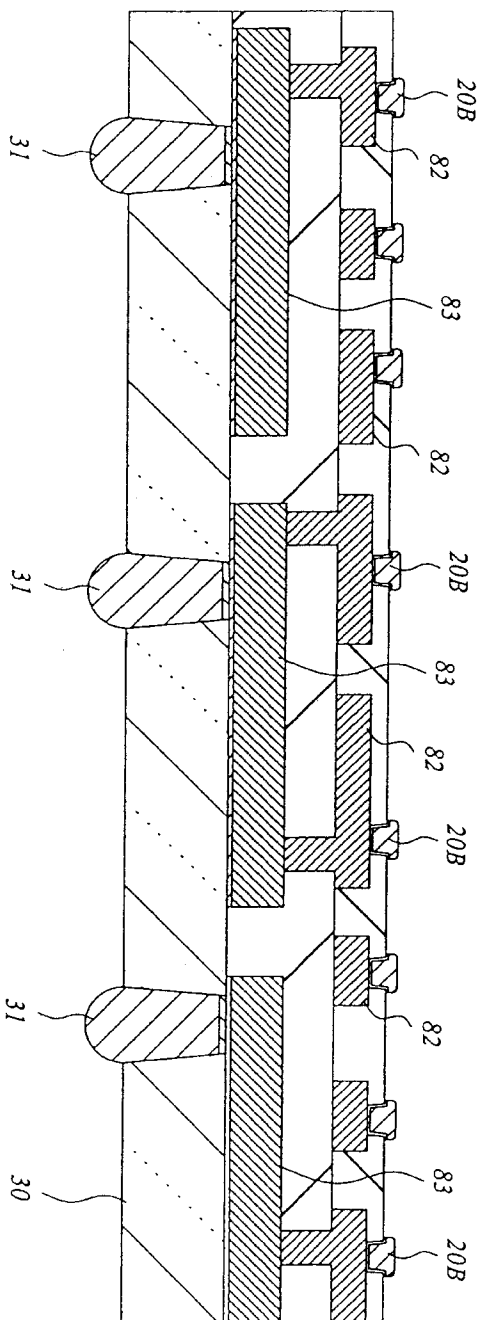


圖 31

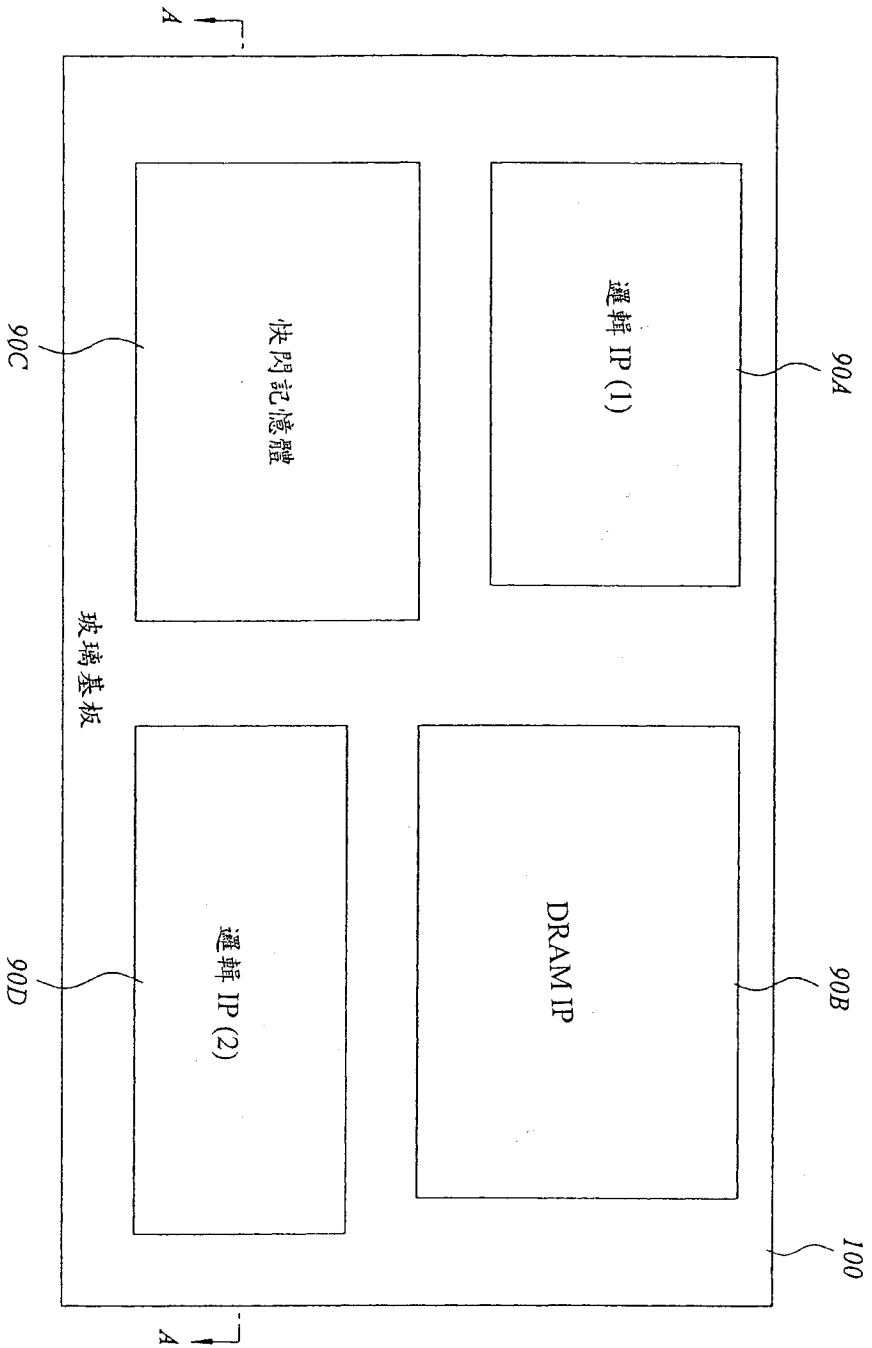


圖 32

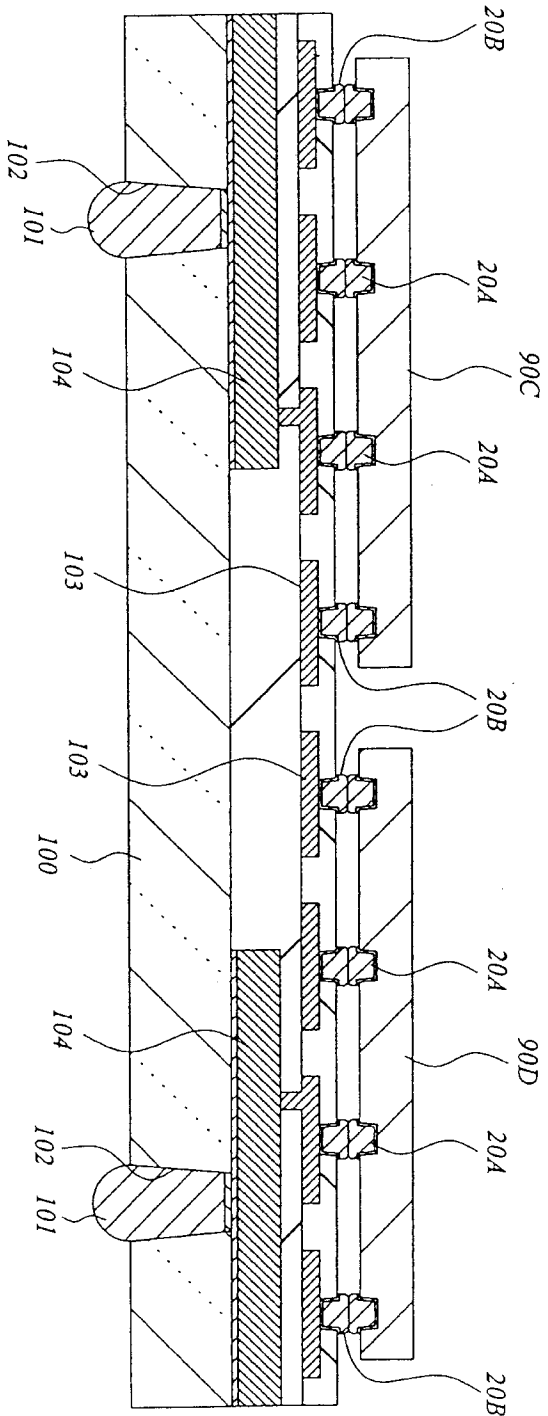


圖 33

設計流程

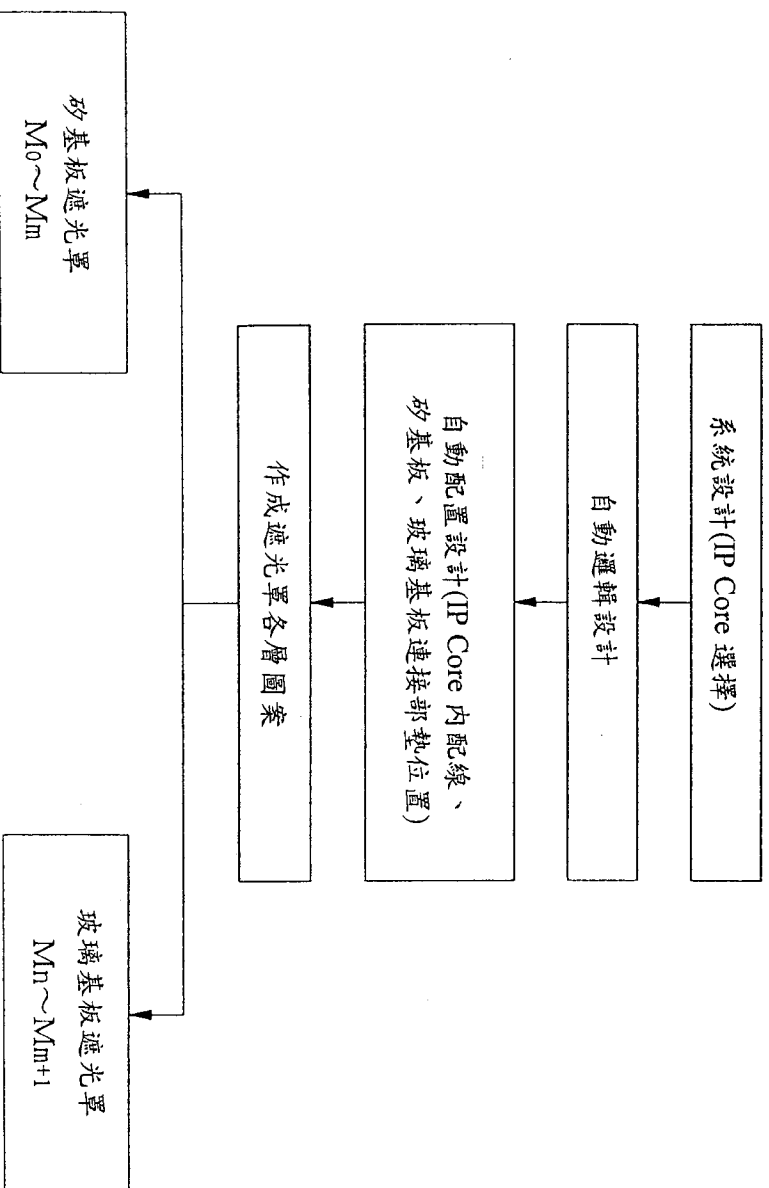


圖 34

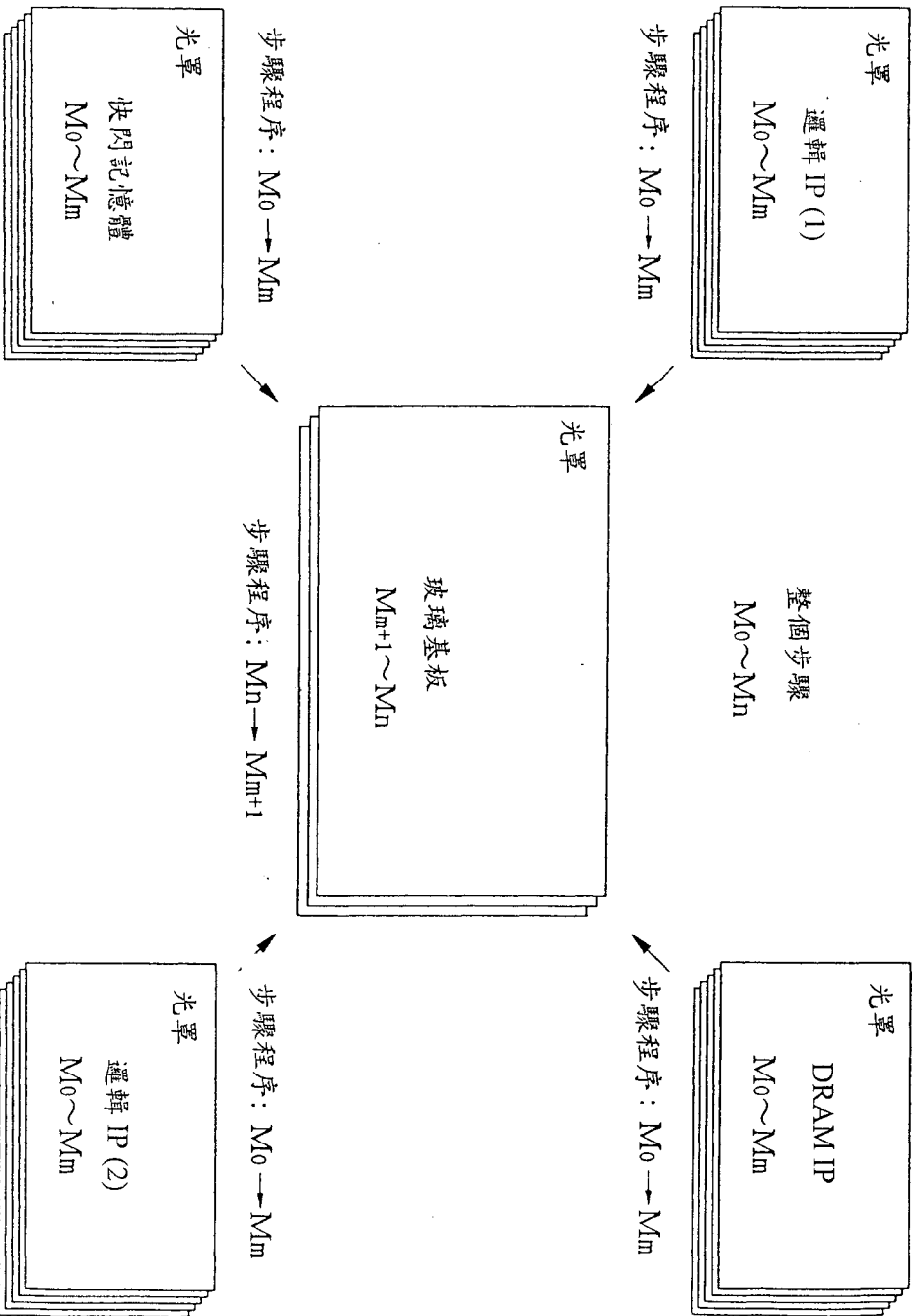


圖 35

製造流程

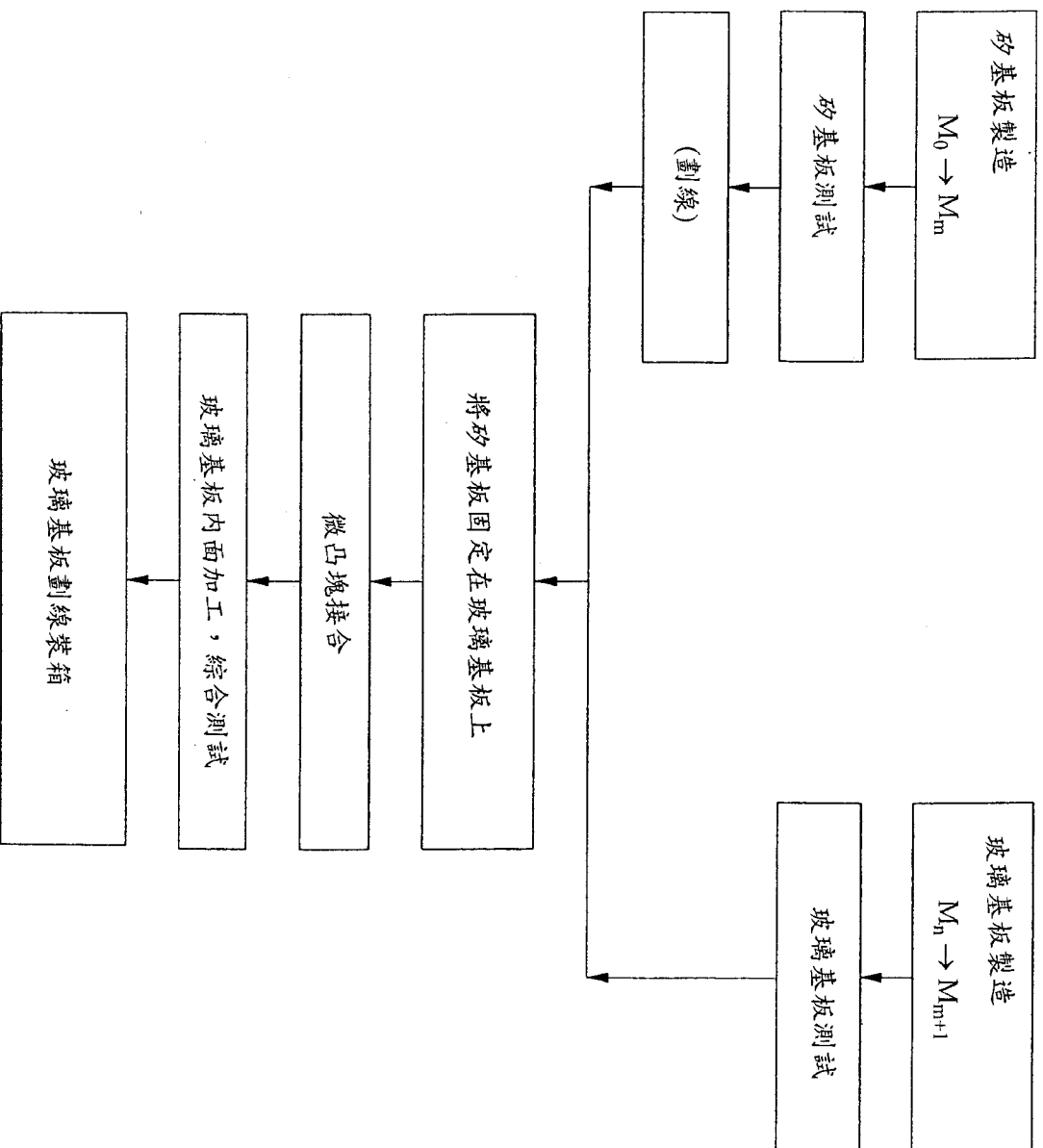


圖 36

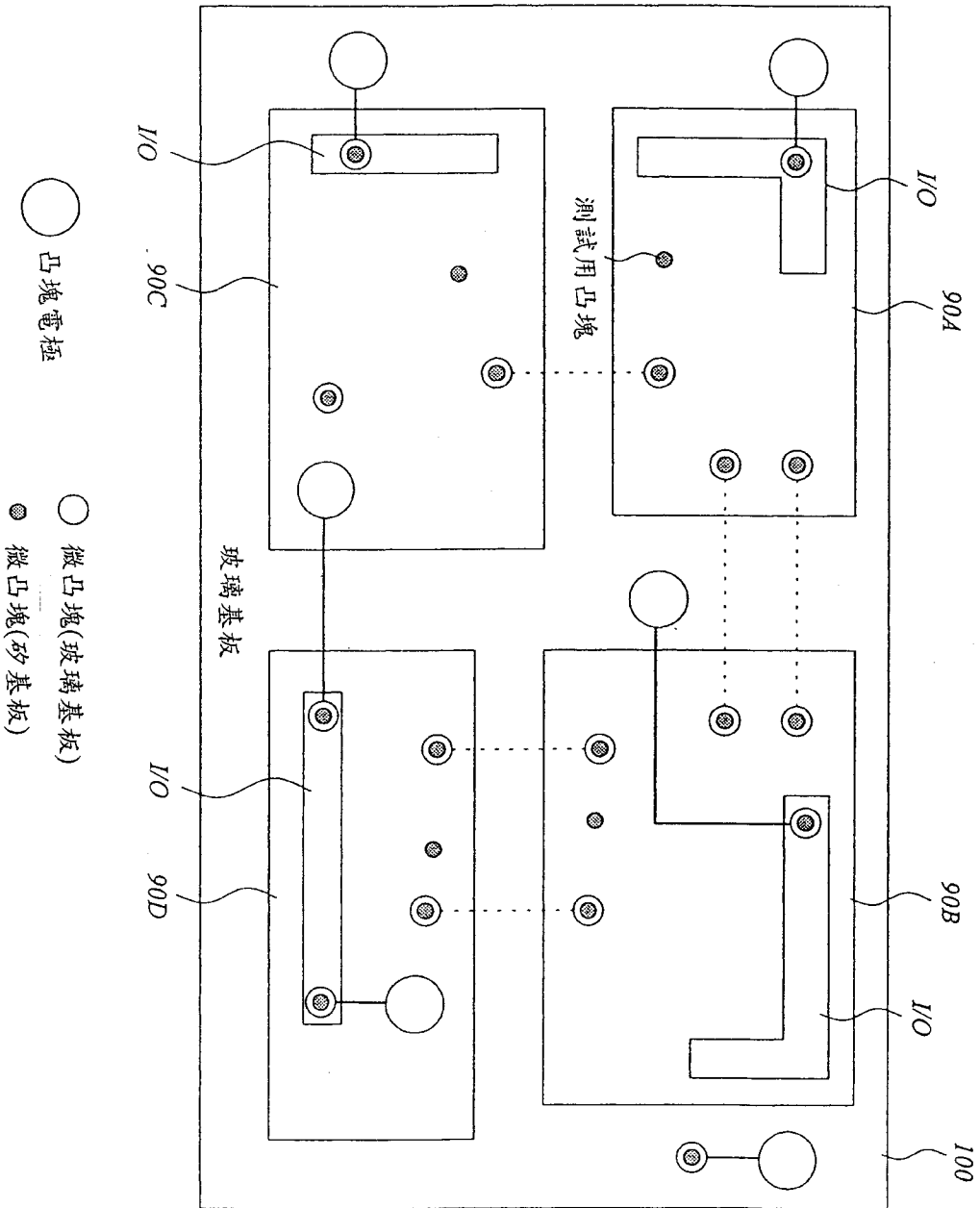


圖 37

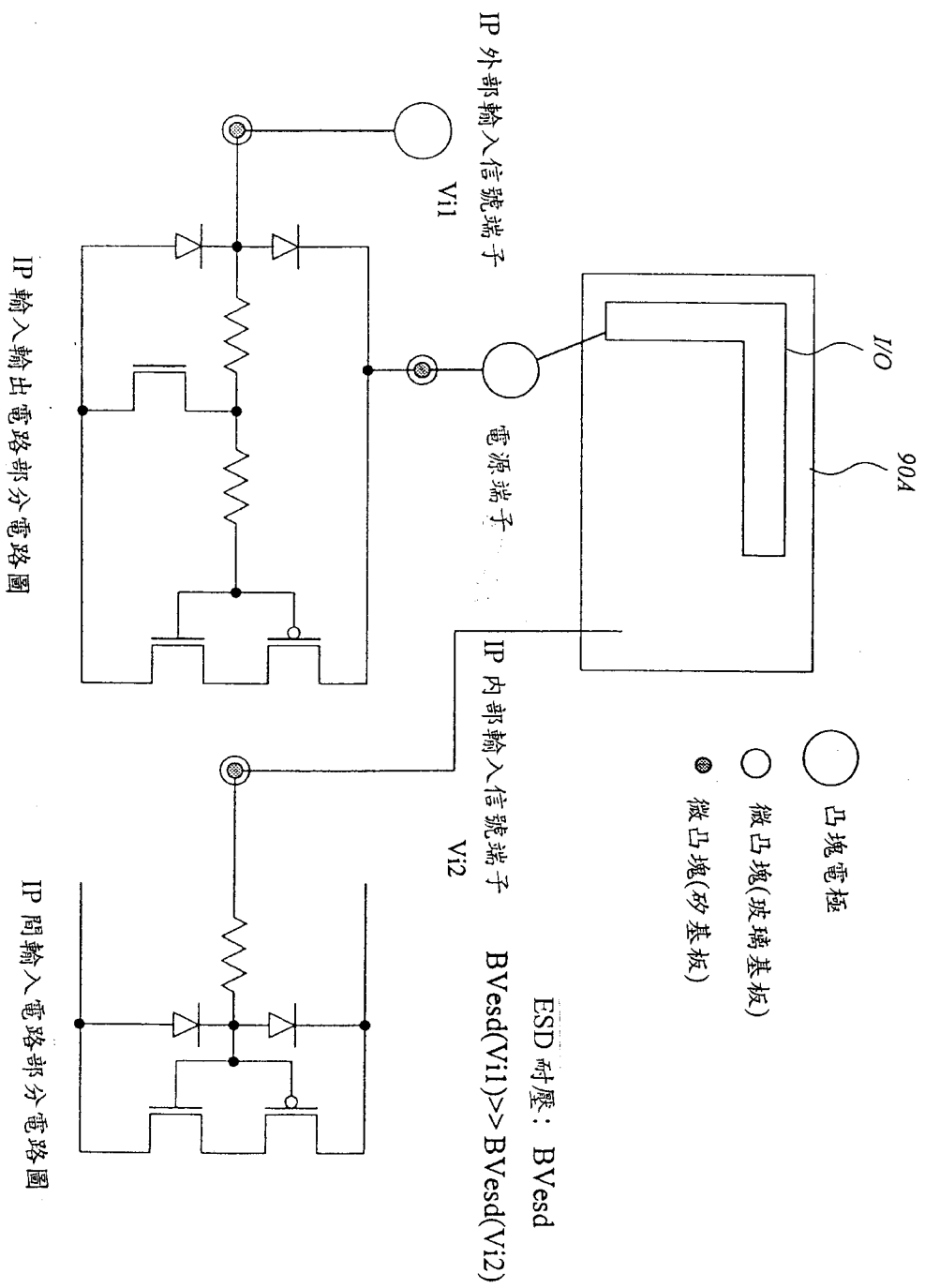


圖 38

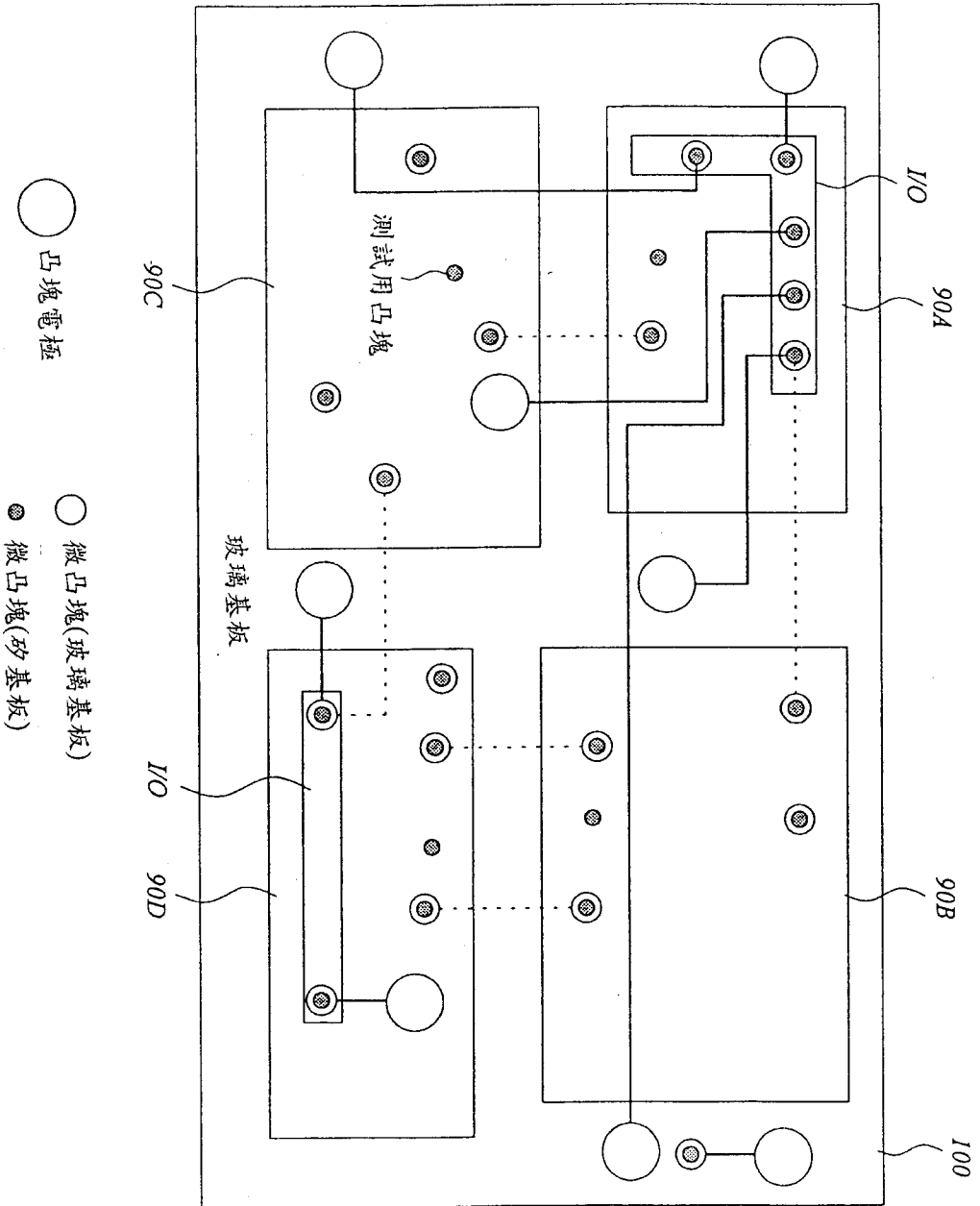


圖 39

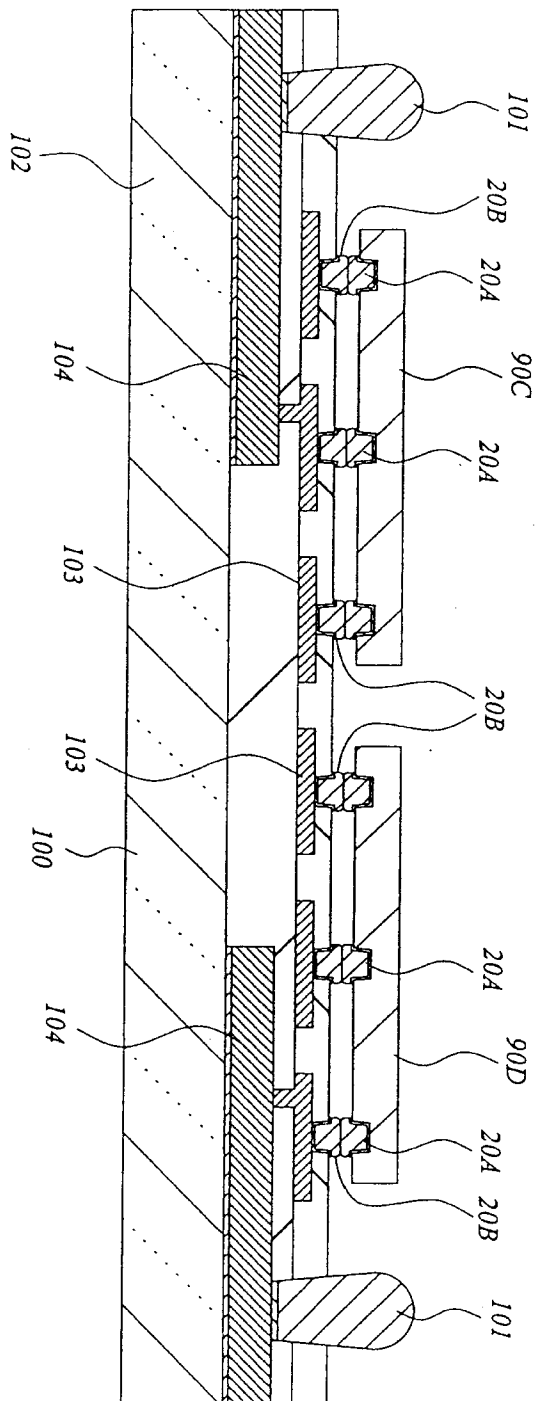


圖 40